

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuuichi HIRANO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

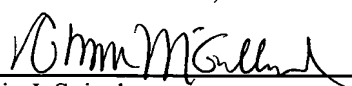
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-080096	March 22, 2000
Japan	2000-342937	November 10, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 3月22日

出願番号

Application Number:

特願2000-080096

出願人

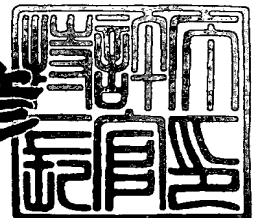
Applicant (s):

三菱電機株式会社

2000年 4月 7日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3025102

【書類名】 特許願

【整理番号】 522435JP01

【提出日】 平成12年 3月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 平野 有一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 前川 繁登

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岩松 俊明

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松本 拓治

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 前田 茂伸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山口 泰男

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、

前記第 1 の半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と

、
前記電源／接地配線の少なくとも一方の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された第 1 の完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項 2】 前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 2 の完全分離型素子分離絶縁膜と

をさらに備える、請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 2 の完全分離型素子分離絶縁膜と

をさらに備える、請求項 1 に記載の半導体装置。

【請求項 4】 前記層間絶縁膜上に選択的に形成され、前記第 1 の半導体素子に電氣的に接続された信号配線と、

前記信号配線の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 3 の完全分離型素子分離絶縁膜と
をさらに備える、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 5】 前記層間絶縁膜上に選択的に形成され、前記第 1 の半導体素子と外部素子とを電氣的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 4 の完全分離型素子分離絶縁膜と
をさらに備える、請求項 1 ～ 4 のいずれか一つに記載の半導体装置。

【請求項 6】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、

前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と
を備える半導体装置。

【請求項 7】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、

前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と

を備える半導体装置。

【請求項 8】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成され、前記半導体素子に電氣的に接続された信号配線と、

前記信号配線の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と

を備える半導体装置。

【請求項 9】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記層間絶縁膜上に選択的に形成され、前記半導体素子と外部素子とを電氣的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜と

を備える半導体装置。

【請求項 1 0】 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、

前記半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と

前記半導体層内において前記電源／接地配線の少なくとも一方の下方に形成され、前記半導体層内の他の箇所における不純物濃度よりも低い不純物濃度を有する低濃度不純物領域と
を備える半導体装置。

【請求項 1 1】 (a) 半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板を準備する工程と、

(b) 前記半導体層の主面内に部分分離型素子分離絶縁膜を選択的に形成するとともに、電源／接地配線の少なくとも一方の形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の上面に達する第 1 の完全分離型素子分離絶縁膜を形成する工程と、

(c) 前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第 1 の半導体素子を形成する工程と、

(d) 前記第 1 の半導体素子、前記部分分離型素子分離絶縁膜、及び前記完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、

(e) 前記層間絶縁膜上に前記電源／接地配線の少なくとも一方を選択的に形成する工程と
を備える、半導体装置の製造方法。

【請求項 1 2】 (f) 前記半導体層内において、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子を、前記第 1 の半導体素子に隣接して形成する工程と、

(g) 前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程と

をさらに備える、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】 (f) 前記半導体層内において、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子を、前記第 1 の半導体素子に隣接して形成する工程と、

(g) 前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程と

をさらに備える、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 4】 (h) 前記第 1 の半導体素子に電氣的に接続される信号配線の形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 3 の完全分離型素子分離絶縁膜を形成する工程と、

(i) 前記層間絶縁膜上に前記信号配線を選択的に形成する工程と
をさらに備える、請求項 1 1 ～ 1 3 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 5】 (j) 前記第 1 の半導体素子と外部素子とを電氣的に接続するためのボンディングパッドの形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 4 の完全分離型素子分離絶縁膜を形成する工程と、

(k) 前記層間絶縁膜上に前記ボンディングパッドを選択的に形成する工程と
をさらに備える、請求項 1 1 ～ 1 4 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 6】 前記工程 (b) は、

(x) 前記部分分離型素子分離絶縁膜の形成予定領域及び前記第 1 の完全分離型素子分離絶縁膜の形成予定領域において、前記半導体層の前記主面を所定膜厚だけ掘り下げることにより、第 1 の凹部を形成する工程と、

(y) 前記第 1 の完全分離型素子分離絶縁膜の形成予定領域において、前記工程 (x) により露出した前記第 1 の凹部の底面を選択的に掘り下げて前記絶縁層の前記上面を露出することにより、第 2 の凹部を形成する工程と、

(z) 前記第 1 の凹部内及び前記第 2 の凹部内に絶縁膜を埋め込む工程と

を有する、請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 7】 前記工程 (y) は、

(y-1) 前記工程 (x) により得られる構造上にフォトレジストを形成する工程と、

(y-2) 所定のマスクパターンを有するフォトマスクを用いて前記フォトレジストを露光する工程と、

(y-3) 露光後の前記フォトレジストを現像する工程と、

(y-4) 現像後の前記フォトレジストをエッチングマスクとして前記半導体層をエッチングすることにより、前記第 2 の凹部を形成する工程とを有し、

前記所定のマスクパターンは、前記電源／接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とする、請求項 1 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置の構造及びその製造方法に関し、特に、SOI 基板を用いた半導体装置の構造及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

図 3 6 は、SOI 基板を用いた第 1 の従来の半導体装置の構造を示す断面図である。図 3 6 に示すように第 1 の従来の半導体装置は、シリコン基板 1 0 2、絶縁層 1 0 3、及びシリコン層 1 0 4 がこの順に積層された積層構造を有する SOI 基板 1 0 1 を備えている。シリコン層 1 0 4 の上面内には、パーシャルトレンチ型の複数の素子分離絶縁膜 1 0 5 が選択的に形成されている。素子分離絶縁膜 1 0 5 によって規定される SOI 基板 1 0 1 の素子形成領域には、NMOS トランジスタ（以下「NMOS」と称する）が形成されている。NMOS は、シリコン層 1 0 4 内に形成され、p 形のチャネル領域 1 1 0 を挟んで対を成す、いずれも n^+ 形のソース領域 1 0 9 s 及びドレイン領域 1 0 9 d を有している。また、

NMOSは、チャネル領域110上に形成され、ゲート絶縁膜106及びゲート電極107がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール108とを有するゲート構造を有している。また、シリコン層104内には、 p^+ 形のボディ領域111が選択的に形成されている。

【0003】

NMOS、素子分離絶縁膜105、及びボディ領域111上には、層間絶縁膜120が形成されている。層間絶縁膜120上には、配線113、117がそれぞれ選択的に形成されている。層間絶縁膜120内には、配線113とドレイン領域109dとを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール112が選択的に形成されている。また、層間絶縁膜120内には、配線117とソース領域109sとを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール116が選択的に形成されている。

【0004】

層間絶縁膜120上には、層間絶縁膜121が形成されており、層間絶縁膜121上には、電源配線115及び接地配線119がそれぞれ選択的に選択的に形成されている。層間絶縁膜121内には、電源配線115と配線113とを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール114が選択的に形成されている。また、層間絶縁膜121内には、接地配線119と配線117とを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール118が選択的に形成されている。

【0005】

図37は、SOI基板を用いた第2の従来の半導体装置の構造を示す上面図である。図37に示すように第2の従来の半導体装置は、パーシャルトレンチ型の素子分離絶縁膜105を挟んで互いに隣接して形成された、2つのCMOSトランジスタ（以下「CMOS」と称する）140、141を備えている。

【0006】

【発明が解決しようとする課題】

しかし、図36に示した第1の従来の半導体装置には、以下のような問題があ

った。図 3 8, 3 9 は、第 1 の従来の半導体装置の問題を説明するためのタイミングチャートである。図 3 6 に示した半導体装置を用いて論理回路を構成し、その論理回路は、入力電位が「H」の時に基準クロックが立ち下がれば、出力電位が「L」から「H」に遷移し（例えば図 3 8 の時刻 T 1 や図 3 9 の時刻 T 3 ）、入力電位が「L」の時に基準クロックが立ち下がれば、出力電位が「H」から「L」に遷移する（例えば図 3 8 の時刻 T 2 や図 3 9 の時刻 T 4 ）回路であるものとする。ここで、図 3 6 に示すように第 1 の従来の半導体装置において、電源配線 1 1 5 及び接地配線 1 1 9 は、ボディ領域 1 1 1 の上方に形成されている。従って、何らかの外部ノイズの影響によって電源配線 1 1 5 や接地配線 1 1 9 の電位が変動すると、容量カップリングによって、ボディ領域 1 1 1 の電位にも変動が生じる。そして、このボディ領域 1 1 1 の電位の変動は、上記論理回路の動作において、入力ノイズ 1 3 0 として表れる。

【 0 0 0 7 】

このとき、図 3 8 に示すように、論理回路の動作周波数が数 k ~ 数 MHz 程度に低く、基準クロックの周期がノイズ 1 3 0 の波長よりも十分に長い場合は、論理回路の動作はノイズ 1 3 0 の影響を受けにくい。しかし、図 3 9 に示すように論理回路の動作周波数が数 GHz 程度に高くなると、論理回路の動作はノイズ 1 3 0 の影響を受けやすくなる。図 3 9 に示した例では、時刻 T 5 において出力電位が「L」から「H」に遷移し、時刻 T 6 において出力電位が「H」から「L」に遷移する結果、誤った出力パルス 1 3 1 が発生している。

【 0 0 0 8 】

このように第 1 の従来の半導体装置によると、ボディ領域の電位が電源配線や接地配線の電位の変動による影響を受けやすいため、半導体装置の動作周波数が高くなると誤動作を生じやすいという問題があった。

【 0 0 0 9 】

また、図 3 7 に示した第 2 の従来の半導体装置には、以下のような問題があった。図 4 0 は、第 2 の従来の半導体装置の問題を説明するための断面図である。図 4 0 は、図 3 7 に示した半導体装置の、ライン L 1 0 0 に沿った位置における断面構造に相当するものであり、図 4 0 に示した左側のトランジスタが CMOS

140の有するNMOSに対応し、右側のトランジスタがCMOS141の有するNMOSに対応する。

【0010】

一般的に、トランジスタの動作は温度による影響を受けやすく、周囲の温度が高くなるほどトランジスタの電流が低下することが知られている。ここで、図37に示した半導体装置において、CMOS140の動作しきい値電圧が比較的高く、大きな電流が流れて発熱量が大きい一方、CMOS141の動作しきい値電圧が比較的低く、発熱量も小さいものとする。このような場合、CMOS140において発生した熱は、図40に示した矢印150で表されるように、素子分離絶縁膜105の下シリコン層104を通してCMOS141に伝導する。そして、この熱はCMOS141の電流を小さくするように作用し、CMOS141の動作を不安定にする。その結果、特にアナログ回路やRF回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、誤動作が生じて回路特性を劣化させる。

【0011】

このように第2の従来の半導体装置によると、発熱量が異なる2つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に影響を及ぼし、誤動作を招くという問題があった。

【0012】

本発明はこれらの問題を解決するために成されたものであり、第1に、電源配線や接地配線の電位の変動に起因するボディ領域の電位の変動を抑制することにより、半導体装置の動作周波数が高くなった場合であっても誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とする。また、第2に、発熱量が異なる2つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に与える影響を緩和することにより、誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とするものである。

【0013】

【課題を解決するための手段】

この発明のうち請求項 1 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、第 1 の半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と、電源／接地配線の少なくとも一方の下方において、半導体層の主面から絶縁層の上面に達して形成された第 1 の完全分離型素子分離絶縁膜とを備えるものである。

【 0 0 1 4 】

また、この発明のうち請求項 2 に記載の半導体装置は、請求項 1 に記載の半導体装置であって、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

【 0 0 1 5 】

また、この発明のうち請求項 3 に記載の半導体装置は、請求項 1 に記載の半導体装置であって、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

【 0 0 1 6 】

また、この発明のうち請求項 4 に記載の半導体装置は、請求項 1 ～ 3 のいずれか一つに記載の半導体装置であって、層間絶縁膜上に選択的に形成され、第 1 の半導体素子に電氣的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された第 3 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

【 0 0 1 7 】

また、この発明のうち請求項 5 に記載の反動遺体装置は、請求項 1 ～ 4 のいずれか一つに記載の半導体装置であって、層間絶縁膜上に選択的に形成され、第 1 の半導体素子と外部素子とを電氣的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の主面から絶縁層の上面に達して形成された第 4 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

【 0 0 1 8 】

また、この発明のうち請求項 6 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【 0 0 1 9 】

また、この発明のうち請求項 7 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【 0 0 2 0 】

また、この発明のうち請求項 8 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の

主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成され、半導体素子に電氣的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【 0 0 2 1 】

また、この発明のうち請求項 9 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、層間絶縁膜上に選択的に形成され、半導体素子と外部素子とを電氣的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【 0 0 2 2 】

また、この発明のうち請求項 1 0 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板と、半導体層の主面内に選択的に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に選択的に形成された、電源／接地配線の少なくとも一方と、半導体層内において電源／接地配線の少なくとも一方の下方に形成され、半導体層内の他の箇所における不純物濃度よりも低い不純物濃度を有する低濃度不純物領域とを備えるものである。

【 0 0 2 3 】

また、この発明のうち請求項 1 1 に記載の半導体装置の製造方法は、（a）半導体基板、絶縁層、及び半導体層がこの順に積層された積層構造を有する S O I 基板を準備する工程と、（b）半導体層の主面内に部分分離型素子分離絶縁膜を

選択的に形成するとともに、電源／接地配線の少なくとも一方の形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第 1 の完全分離型素子分離絶縁膜を形成する工程と、(c) 半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第 1 の半導体素子を形成する工程と、(d) 第 1 の半導体素子、部分分離型素子分離絶縁膜、及び完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、(e) 層間絶縁膜上に電源／接地配線の少なくとも一方を選択的に形成する工程とを備えるものである。

【 0 0 2 4 】

また、この発明のうち請求項 1 2 に記載の半導体装置の製造方法は、請求項 1 1 に記載の半導体装置の製造方法であって、(f) 半導体層内において、第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子を、第 1 の半導体素子に隣接して形成する工程と、(g) 第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

【 0 0 2 5 】

また、この発明のうち請求項 1 3 に記載の半導体装置の製造方法は、請求項 1 1 に記載の半導体装置の製造方法であって、(f) 半導体層内において、第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子を、第 1 の半導体素子に隣接して形成する工程と、(g) 第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

【 0 0 2 6 】

また、この発明のうち請求項 1 4 に記載の半導体装置の製造方法は、請求項 1 1 ～ 1 3 のいずれか一つに記載の半導体装置の製造方法であって、(h) 第 1 の半導体素子に電気的に接続される信号配線の形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第 3 の完全分離型素子分離絶縁膜を形成する工程と、(i) 層間絶縁膜上に信号配線を選択的に形成する工程とをさらに備えることを特徴とするものである。

【 0 0 2 7 】

また、この発明のうち請求項 1 5 に記載の半導体装置の製造方法は、請求項 1 1 ～ 1 4 のいずれか一つに記載の半導体装置の製造方法であって、(j) 第 1 の半導体素子と外部素子とを電氣的に接続するためのボンディングパッドの形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第 4 の完全分離型素子分離絶縁膜を形成する工程と、(k) 層間絶縁膜上にボンディングパッドを選択的に形成する工程とをさらに備えることを特徴とするものである。

【 0 0 2 8 】

また、この発明のうち請求項 1 6 に記載の半導体装置の製造方法は、請求項 1 1 に記載の半導体装置の製造方法であって、工程 (b) は、(x) 部分分離型素子分離絶縁膜の形成予定領域及び第 1 の完全分離型素子分離絶縁膜の形成予定領域において、半導体層の主面を所定膜厚だけ掘り下げることにより、第 1 の凹部を形成する工程と、(y) 第 1 の完全分離型素子分離絶縁膜の形成予定領域において、工程 (x) により露出した第 1 の凹部の底面を選択的に掘り下げて絶縁層の上面を露出することにより、第 2 の凹部を形成する工程と、(z) 第 1 の凹部内及び第 2 の凹部内に絶縁膜を埋め込む工程とを有することを特徴とするものである。

【 0 0 2 9 】

また、この発明のうち請求項 1 7 に記載の半導体装置の製造方法は、請求項 1 6 に記載の半導体装置の製造方法であって、工程 (y) は、(y-1) 工程 (x) により得られる構造上にフォトレジストを形成する工程と、(y-2) 所定のマスクパターンを有するフォトマスクを用いてフォトレジストを露光する工程と、(y-3) 露光後のフォトレジストを現像する工程と、(y-4) 現像後のフォトレジストをエッチングマスクとして半導体層をエッチングすることにより、第 2 の凹部を形成する工程とを有し、所定のマスクパターンは、電源／接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とするものである。

【 0 0 3 0 】

【発明の実施の形態】

以下、CMOSを例にとり、本発明の具体的な実施の形態について説明する。

【0031】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の構造を示す上面図であり、図2は、図1に示した半導体装置の、ラインL1に沿った位置における断面構造を示す断面図である。但し、図1においては説明の都合上、後述する層間絶縁膜13、20及びサイドウォール8の記載を省略している。図1、2を参照して、本実施の形態1に係る半導体装置は、シリコン基板2、絶縁層3、及びシリコン層4がこの順に積層された積層構造を有するSOI基板1を備えている。シリコン層4の上面内には、パーシャルトレンチ型の素子分離絶縁膜5が選択的に形成されている。素子分離絶縁膜5によって規定されるSOI基板1の素子形成領域には、PMOS及びNMOSが形成されている。

【0032】

NMOSは、シリコン層4内に形成され、p形の不純物導入領域（チャネル領域）10を挟んで対を成す、いずれも n^+ 形のソース・ドレイン領域28を有している。また、NMOSは、不純物導入領域10上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。

【0033】

同様にPMOSは、シリコン層4内に形成され、n形の不純物導入領域（チャネル領域）9を挟んで対を成す、いずれも p^+ 形のソース・ドレイン領域27を有している。また、PMOSは、不純物導入領域9上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。ゲート電極7は、PMOSとNMOSとの間の素子分離絶縁膜5上にも延在しており、PMOSのゲート電極7とNMOSのゲート電極とは一体として形成されている。また、シリコン層4内には、 p^+ 形のボディ領域12及び n^+ 形のボディ領域11がそれぞれ選択的に形成されている。

【0034】

NMOS、PMOS、素子分離絶縁膜 5、及びボディ領域 11、12 上には、層間絶縁膜 13 が形成されている。層間絶縁膜 13 上には、配線 15、17、19、26 がそれぞれ選択的に形成されている。層間絶縁膜 13 内には、配線 15 とボディ領域 11、配線 17 とボディ領域 12、及び配線 19 とゲート電極 7 とをそれぞれ互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール 14、16、18 がそれぞれ選択的に形成されている。また、図 1 を参照して、配線 15、17 は、層間絶縁膜 13 内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、ソース・ドレイン領域 27、28 にそれぞれ電氣的に接続されており、配線 26 は、層間絶縁膜 13 内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、ソース・ドレイン領域 27、28 にそれぞれ電氣的に接続されている。

【0035】

図 2 を参照して、層間絶縁膜 13 上には層間絶縁膜 20 が形成されている。層間絶縁膜 20 上には、電源配線 21 及び接地配線 22 がそれぞれ選択的に形成されている。電源配線 21 及び接地配線 22 はいずれも、素子分離絶縁膜 5 の上方に形成されている。電源配線 21 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 23 が形成されている。換言すれば、本実施の形態 1 に係る半導体装置は、電源配線 21 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図 2 に示した完全分離部分 23 は、図 1 に示した完全分離領域 24 内に形成されており、図 2 に示した部分分離型の素子分離絶縁膜 5 は、図 1 に示した部分分離領域 25 内に形成されている。図 1 を参照して、電源配線 21 及び接地配線 22 は、層間絶縁膜 20 内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、配線 15、17 にそれぞれ電氣的に接続されている。

【0036】

図 3 ～ 16 は、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。まず、シリコン基板 2、シリコン酸化膜から成り、4000

オングストローム程度の膜厚を有する絶縁層 3、及び 2 0 0 0 オングストローム程度の膜厚を有するシリコン層 4 がこの順に積層された積層構造を有する S O I 基板 1 を準備する（図 3）。次に、2 0 0 オングストローム程度の膜厚を有するシリコン酸化膜 3 0 を、シリコン層 4 上に全面に形成する。その後、2 0 0 0 オングストローム程度の膜厚を有するシリコン窒化膜 3 1 を、シリコン酸化膜 3 0 上に全面に形成する（図 4）。

【 0 0 3 7 】

次に、シリコン窒化膜 3 1 上の全面にフォトレジストを形成した後、素子分離絶縁膜 5 の形成レイアウトに対応するマスクパターンを有するフォトマスク（図示しない）を用いてフォトレジストを露光する。その後、フォトレジストを現像することにより、素子分離絶縁膜 5 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 2 を形成する。その後、フォトレジスト 3 2 をエッチングマスクとして、シリコン窒化膜 3 1、シリコン酸化膜 3 0、及びシリコン層 4 をこの順に異方性ドライエッチングする。このエッチングは、シリコン層 4 が自身の上面から 5 0 0 ~ 1 0 0 0 オングストローム程度エッチングされた時点で停止する。これにより、シリコン層 4 の上面内に凹部 3 3 が選択的に形成される（図 5）。

【 0 0 3 8 】

次に、フォトレジスト 3 2 を除去した後、完全分離部分 2 3 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 4 を形成する（図 6）。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 2 3 の形成予定領域の上方が開口したマスクパターンを有するフォトマスク（図示しない）を用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。

【 0 0 3 9 】

次に、フォトレジスト 3 4 をエッチングマスクとしてシリコン層 4 をエッチングする。これにより、完全分離部分 2 3 の形成予定領域における凹部 3 3 の底面が掘り下げられて絶縁層 3 の上面が露出し、凹部 3 5 が形成される。その後、フォトレジスト 3 4 を除去する（図 7）。次に、C V D 法によって、5 0 0 0 オン

グストローム程度の膜厚を有するシリコン酸化膜 3 6 を全面に堆積する。これにより、凹部 3 3, 3 5 内はシリコン酸化膜 3 6 によって埋め込まれる (図 8)。

【 0 0 4 0 】

次に、CMP 法によって、シリコン窒化膜 3 1 の上面が露出するまでシリコン酸化膜 3 6 を研磨除去する (図 9)。次に、ウェットエッチングによってシリコン酸化膜 3 6 の上部を除去した後、シリコン窒化膜 3 1 及びシリコン酸化膜 3 0 を除去する。これにより、凹部 3 3, 3 5 内に残ったシリコン酸化膜 3 6 として、素子分離絶縁膜 5 が得られる (図 1 0)。

【 0 0 4 1 】

次に、NMOS の形成予定領域の上方に開口パターンを有するフォトレジスト 3 7 を形成した後、ボロン等の不純物 3 8 を数 1 0 k e V、数 10^{12} cm^{-2} の条件下でイオン注入することにより、シリコン層 4 内に不純物導入領域 1 0 を形成する。次に、フォトレジスト 3 7 を除去した後、PMOS の形成予定領域の上方に開口パターンを有するフォトレジスト 3 9 を形成した後、リン等の不純物 4 0 を数 1 0 0 k e V、数 10^{12} cm^{-2} の条件下でイオン注入することにより、シリコン層 4 内に不純物導入領域 9 を形成する (図 1 2)。

【 0 0 4 2 】

次に、熱酸化法によってシリコン層 4 の上面上にゲート絶縁膜 6 を形成した後、CVD 法によって 3 0 0 0 オングストローム程度の膜厚を有するポリシリコン膜を堆積し、そのポリシリコン膜をパターニングすることにより、ゲート電極 7 を形成する。これにより、ゲート絶縁膜 6 及びゲート電極 7 がこの順に積層された積層構造を有するゲート構造が得られる (図 1 3)。

【 0 0 4 3 】

次に、ゲート構造の側面にサイドウォール 8 を形成した後、ボディ領域 1 1 の形成予定領域及びソース・ドレイン領域 2 8 の形成予定領域の上方に開口パターンを有するフォトレジスト 4 1 を形成する。その後、フォトレジスト 4 1 及びゲート電極 7 をマスクとして、ヒ素等の不純物 4 2 を、数 1 0 k e V、数 10^{15} cm^{-2} の条件下でイオン注入することにより、シリコン層 4 内にボディ領域 1 1 及びソース・ドレイン領域 2 8 を形成する (図 1 4)。次に、フォトレジスト 4 1

を除去した後、ボディ領域 1 2 の形成予定領域及びソース・ドレイン領域 2 7 の形成予定領域の上方に開口パターンを有するフォトレジスト 4 3 を形成する。その後、フォトレジスト 4 3 及びゲート電極 7 をマスクとして、フッ化ボロン (BF_2) 等の不純物 4 4 を、数 10keV 、数 10^{15}cm^{-2} の条件下でイオン注入することにより、シリコン層 4 内にボディ領域 1 2 及びソース・ドレイン領域 2 7 を形成する (図 1 5)。

【 0 0 4 4 】

次に、フォトレジスト 4 3 を除去した後、ゲート電極 7 の上面、ソース・ドレイン領域 2 7, 2 8 の上面、及びボディ領域 1 1 の上面をそれぞれシリサイド化することにより、コバルトシリサイド層 (図示しない) を形成する。その後、10000 オングストローム程度の膜厚を有するシリコン酸化膜を CVD 法によって全面に堆積した後、そのシリコン酸化膜を CMP 法によって 5000 オングストローム程度研磨除去して表面を平坦化することにより、層間絶縁膜 1 3 を形成する。その後、層間絶縁膜 1 3 を選択的に開口してコンタクトホール 1 4, 1 6, 1 8 を形成した後、各コンタクトホールの内部に導体プラグを埋め込む。その後、層間絶縁膜 1 3 上に、アルミニウムやポリシリコン等から成る配線 1 5, 1 7, 1 9 をそれぞれ選択的に形成する (図 1 6)。

【 0 0 4 5 】

次に、CVD 法によってシリコン酸化膜を全面に堆積した後、CMP 法によってその表面を平坦化することにより層間絶縁膜 2 0 を形成する。その後、内部が導体プラグで充填されたコンタクトホールを層間絶縁膜 2 0 内に選択的に形成し、さらにアルミニウムやポリシリコン等から成る電源配線 2 1 及び接地配線 2 2 を層間絶縁膜 2 0 上にそれぞれ選択的に形成することにより、図 2 に示した構造を得る。

【 0 0 4 6 】

このように本実施の形態 1 に係る半導体装置によれば、電源配線 2 1 の下方には、ボディ領域 1 1 やシリコン層 4 のシリコン部分ではなく、完全分離部分 2 3 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源配線 2 1 の電位が変動した

としても、容量カップリングによってボディ領域 1 1 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域 1 1 の電位の変動に起因する誤動作を適切に防止することができる。

【 0 0 4 7 】

実施の形態 2.

図 1 7 は、本発明の実施の形態 2 に係る半導体装置の構造を示す上面図であり、図 1 8 は、図 1 7 に示した半導体装置の、ライン L 2 に沿った位置における断面構造を示す断面図である。但し、図 1 7 においては説明の都合上、層間絶縁膜 1 3、2 0 及びサイドウォール 8 の記載を省略している。図 1 7、1 8 に示すように本実施の形態 2 に係る半導体装置は、図 1、2 に示した上記実施の形態 1 に係る半導体装置を基礎として、電源配線 2 1 の下方に形成されていた完全分離部分 2 3 の代わりに、接地配線 2 2 の下方に完全分離部分 5 1 を形成したものである。図 1 8 に示した完全分離部分 5 1 は、図 1 7 に示した完全分離領域 5 0 内に形成されている。本実施の形態 2 に係る半導体装置のその他の構造は、上記実施の形態 1 に係る半導体装置の構造と同様である。

【 0 0 4 8 】

本実施の形態 2 に係る半導体装置は、図 3 ～ 1 6 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 5 1 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分 5 1 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 4 を形成する。

【 0 0 4 9 】

このように本実施の形態 2 に係る半導体装置によれば、接地配線 2 2 の下方には、ボディ領域 1 2 やシリコン層 4 のシリコン部分ではなく、完全分離部分 5 1 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって接地配線 2 2 の電位が変動した

としても、容量カップリングによってボディ領域 1 2 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域 1 2 の電位の変動に起因する誤動作を適切に防止することができる。

【 0 0 5 0 】

実施の形態 3 .

図 1 9 は、本発明の実施の形態 3 に係る半導体装置の構造を示す上面図であり、図 2 0 は、図 1 9 に示した半導体装置の、ライン L 3 に沿った位置における断面構造を示す断面図である。但し、図 1 9 においては説明の都合上、層間絶縁膜 1 3 , 2 0 及びサイドウォール 8 の記載を省略している。図 1 9 , 2 0 に示すように本実施の形態 3 に係る半導体装置は、図 1 , 2 に示した上記実施の形態 1 に係る半導体装置を基礎として、電源配線 2 1 の下方に形成されていた完全分離部分 2 3 に加えて、上記実施の形態 2 に係る半導体装置と同様に、接地配線 2 2 の下方にも完全分離部分 5 1 をさらに形成したものである。本実施の形態 3 に係る半導体装置のその他の構造は、上記実施の形態 1 , 2 に係る半導体装置の構造と同様である。

【 0 0 5 1 】

本実施の形態 3 に係る半導体装置は、図 3 ~ 1 6 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 2 3 , 5 1 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分 2 3 , 5 1 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 4 を形成する。

【 0 0 5 2 】

このように本実施の形態 3 に係る半導体装置によれば、電源配線 2 1 及び接地配線 2 2 の下方には、ボディ領域 1 1 , 1 2 やシリコン層 4 のシリコン部分ではなく、完全分離部分 2 3 , 5 1 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜がそれぞれ形成されている。そのため、何らかの外部ノイズの影響

によって電源配線 2 1 や接地配線 2 2 の電位が変動したとしても、容量カップリングによってボディ領域 1 1, 1 2 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域 1 1, 1 2 の電位の変動に起因する誤動作を適切に防止することができる。

【 0 0 5 3 】

実施の形態 4.

図 2 1 は、本発明の実施の形態 4 に係る半導体装置の構造を示す上面図であり、図 2 2 は、図 2 1 に示した半導体装置の、ライン L 4 に沿った位置における断面構造を示す断面図である。但し、図 2 1 においてはサイドウォール 8 の記載を省略している。図 2 1, 2 2 に示すように本実施の形態 4 に係る半導体装置は、完全分離部分 5 8 を有する素子分離絶縁膜 5 を挟んで互いに隣接して形成された、2 つの CMOS 5 5, 5 6 を備えている。図 2 2 に示した完全分離部分 5 8 は、図 2 1 に示した完全分離領域 5 7 内に形成されている。CMOS 5 5 の有する動作しきい値電圧は、CMOS 5 6 の有する動作しきい値電圧よりも低く、CMOS 5 5, 5 6 の動作時において、CMOS 5 5 からの発熱量は CMOS 5 6 からの発熱量よりも大きい。

【 0 0 5 4 】

素子分離絶縁膜 5 の完全分離部分 5 8 は、図 6 に示した上記実施の形態 1 に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 5 8 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分 5 8 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 4 を形成する。

【 0 0 5 5 】

なお、本実施の形態 4 に係る発明を、上記実施の形態 1 ～ 3 に係る発明に組み合わせて適用することも可能である。

【 0 0 5 6 】

このように本実施の形態 4 に係る半導体装置によれば、動作しきい値電圧が互

いに異なる2つのCMOS 55, 56が互いに隣接して形成されている半導体装置において、その2つのCMOS 55, 56の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分58を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。従って、CMOS 55において発生した熱がCMOS 56に伝導することを抑制することができるため、その熱によってCMOS 56の動作が不安定になることを適切に防止することができる。

【0057】

実施の形態5.

図23は、本発明の実施の形態5に係る半導体装置の構造を示す上面図であり、図24は、図23に示した半導体装置の、ラインL5に沿った位置における断面構造を示す断面図である。但し、図23においてはサイドウォール8の記載を省略している。図23, 24に示すように本実施の形態5に係る半導体装置は、完全分離部分63を有する素子分離絶縁膜5を挟んで互いに隣接して形成された、2つのCMOS 60, 61を備えている。図24に示した完全分離部分63は、図23に示した完全分離領域62内に形成されている。CMOS 60, 61の動作周波数は互いに異なり、ここでは、CMOS 60の動作周波数が、CMOS 61の動作周波数よりも高いものとする。

【0058】

素子分離絶縁膜5の完全分離部分63は、図6に示した上記実施の形態1に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分63の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分63の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

【0059】

なお、本実施の形態5に係る発明を、上記実施の形態1～3に係る発明に組み合わせ適用することも可能である。

【0060】

このように本実施の形態 5 に係る半導体装置によれば、動作周波数が互いに異なる 2 つの CMOS 6 0, 6 1 が互いに隣接して形成されている半導体装置において、その 2 つの CMOS 6 0, 6 1 の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分 6 3 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。

【0061】

動作周波数が高い CMOS 6 0 ではボディ電位の変化が大きく、逆に動作周波数が低い CMOS 6 1 ではボディ電位の変化が小さい。従って、CMOS 6 0, 6 1 の間に部分分離型の素子分離絶縁膜が形成されている場合は、CMOS 6 0, 6 1 の各ボディ電位が、部分分離型の素子分離絶縁膜 5 と絶縁層 3 との間のシリコン層 4 を介して互いに影響を及ぼし合う。その結果、アナログ回路や RF 回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、ボディ電位の相互影響に起因する微小な特性の変化が、回路の特性自体に大きな影響を及ぼす。これに対して、本実施の形態 5 に係る半導体装置によれば、CMOS 6 0, 6 1 の間には完全分離型の素子分離絶縁膜が形成されているため、上記のように CMOS 6 0, 6 1 の各ボディ電位が互いに影響を及ぼし合うことを適切に防止することができる。

【0062】

実施の形態 6.

図 2 5 は、本発明の実施の形態 6 に係る半導体装置の構造を示す上面図であり、図 2 6 は、図 2 5 に示した半導体装置の、ライン L 6 に沿った位置における断面構造を示す断面図である。但し、図 2 5 においては説明の都合上、層間絶縁膜 1 3, 2 0 及びサイドウォール 8 の記載を省略している。図 2 5, 2 6 に示すように本実施の形態 6 に係る半導体装置は、図 1, 2 に示した上記実施の形態 1 に係る半導体装置を基礎として、電源配線 2 1 の下方に形成されていた完全分離部分 2 3 の代わりに、CMOS の信号入力配線である配線 1 9 の下方に完全分離部分 6 6 を形成したものである。但し、完全分離部分 6 6 とともに、図 1 に示した完全分離部分 2 3 や図 1 7 に示した完全分離部分 5 1 を併せて形成してもよい。図 2 6 に示した完全分離部分 6 6 は、図 2 5 に示した完全分離領域 6 5 内に形成

されている。本実施の形態 6 に係る半導体装置のその他の構造は、上記実施の形態 1 に係る半導体装置の構造と同様である。

【 0 0 6 3 】

本実施の形態 6 に係る半導体装置は、図 3 ～ 1 6 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 6 6 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分 6 6 の形成予定領域の上方に開口パターンを有するフォトレジスト 3 4 を形成する。

【 0 0 6 4 】

このように本実施の形態 6 に係る半導体装置によれば、配線 1 9 の下方には、完全分離部分 6 6 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、CMOS への入力信号にゆらぎが生じたとしても、そのゆらぎに起因してボディ電位が変化することを抑制することができる。従って、特にアナログ回路や RF 回路に関して、ドレイン電流 I_d の線形性が求められる領域において、このボディ電位の変化に起因するドレイン電流 I_d の変動を抑制できるため、回路特性の向上を図ることができる。

【 0 0 6 5 】

なお、図 2 5、2 6 では、ポリシリコンから成るゲート電極 7 と、アルミから成る入力用の配線 1 9 とがコンタクトホール 1 8 を介して互いに接続されているタイプの半導体装置を示したが、いずれもポリシリコンから成るゲート電極 7 及び入力用の配線 1 9 が一体として形成されているタイプの半導体装置であっても、配線 1 9 の下方に完全分離型の素子分離絶縁膜を形成することによって、上記と同様の効果が得られる。

【 0 0 6 6 】

実施の形態 7.

本実施の形態 7 では、上記実施の形態 1 ～ 3、6 に係る半導体装置のように、

素子分離絶縁膜の完全分離部分が配線の下方に形成されている半導体装置の製造方法に関して、その完全分離部分を形成する際に使用されるフォトマスクのマスクパターンの自動生成方法を提案する。

【 0 0 6 7 】

図 2 7 ～ 2 9 は、本発明の実施の形態 7 に係るマスクパターンの生成方法を説明するための概念図である。図 2 7 (A) に示すように、設計段階で作成される配線レイアウト 7 0 には、配線形成領域 7 1 及び配線非形成領域 7 2 が、それぞれ 2 値論理の「 1 」及び「 0 」として表されている。本実施の形態 7 では、この配線レイアウト 7 0 を参照することによって、フォトマスクのマスクパターンを自動生成する。以下、ポジ型のフォトレジストを形成する場合を例にとり、具体的に説明する。

【 0 0 6 8 】

まず、配線レイアウト 7 0 に表されている論理を反転することにより、マスクパターン生成のための設計レイアウト（図示しない）を生成する。このようにして生成された設計レイアウトには、マスクパターンの開口部分及び非開口部分が、それぞれ 2 値論理の「 0 」及び「 1 」として表されている。そして、この設計レイアウトに基づいてフォトマスクを作製する。図 2 7 (B) に示すように、作製されたフォトマスク 7 3 は、配線レイアウト 7 0 の配線形成領域 7 1 に対応する開口部 7 4 と、配線非形成領域 7 2 に対応する非開口部 7 5 とを有している。

【 0 0 6 9 】

以下、上記したマスクパターンの自動生成方法を、本発明に係る半導体装置の製造方法に適用する方法について説明する。図 2 8 には、上記実施の形態 1 ～ 3 , 6 に係る半導体装置に対応する CMOS レイアウト 7 6 が示されている。まず、この CMOS レイアウト 7 6 内で、完全分離部分の形成を禁止する禁止領域 7 7 を指定する。具体的には、ソース・ドレイン領域 2 7 , 2 8 やボディ領域 1 1 , 1 2 等を含む、CMOS の形成領域の周辺を禁止領域 7 7 として指定する。

【 0 0 7 0 】

次に、図 1 に示した電源配線 2 1、接地配線 2 2、及び配線 1 9 , 2 6 に関する配線レイアウトと、禁止領域 7 7 が指定された CMOS レイアウト 7 6 とを参

照することにより、禁止領域 77 以外の領域において、上記マスクパターンの自動生成方法を適用して、図 6 に示した工程でフォトレジストを露光する際に使用されるフォトマスクを作製する。その後、上記実施の形態 1 で説明した方法によって、完全分離部分及び部分分離部分を有する素子分離絶縁膜を形成する。図 29 には、このようにして形成された素子分離絶縁膜の分離パターン 78 のうち、完全分離部分が形成されている箇所のみが完全分離領域 79 として示されている。図 29 によると、CMOS レイアウト 76 の禁止領域 77 以外の領域において、電源配線 21、接地配線 22、及び配線 19、26 の下方に、完全分離領域 79 がそれぞれ形成されていることが分かる。

【 0 0 7 1 】

以上の説明では、配線レイアウト 70 に表されている論理を単に反転することにより設計レイアウトを生成した結果、完全分離部分の幅は配線の幅に等しかった。ここでは、上記マスクパターンの自動生成方法を基礎として、配線の幅よりも広い幅の完全分離部分を形成する方法について説明する。

【 0 0 7 2 】

図 30、31 は、本発明の実施の形態 7 に係る他のマスクパターンの生成方法を説明するための概念図である。図 30 (A) に示されるように、配線レイアウト 70 には、幅が $W1$ の配線形成領域 71 が表されている。設計レイアウトを生成する際には、配線形成領域 71 の幅を $W2$ ($>W1$) とみなして（即ち配線幅にオーバーサイズを施して）、配線レイアウト 70 の論理を反転する。図 30 (B) に示されるように、このようにして生成された設計レイアウト 81 には、幅が $W2$ の開口部分 82 と、その他の非開口部分 83 とが表されている。そして、この設計レイアウト 81 に基づいてフォトマスクを作製する。図 30 (C) に示すように、作製されたフォトマスク 84 は、設計レイアウト 81 の開口部分 82 に対応する、幅が $W2$ の開口部 85 と、設計レイアウト 81 の非開口部分 83 に対応する非開口部 86 とを有している。

【 0 0 7 3 】

図 31 には、上記他のマスクパターンの生成方法を本発明に係る半導体装置の製造方法に適用した結果が示されている。図 31 に示した分離パターン 87 と図

29に示した分離パターン78とを比較すると、分離パターン78の完全分離領域79の幅に比べて、分離パターン87の完全分離領域88の幅の方が広がっていることが分かる。

【0074】

なお、設計レイアウトを生成する際に配線幅にアンダーサイズを施すことにより、完全分離部分の幅を、配線の実際の幅よりも狭く設定することも可能である。

【0075】

このように本実施の形態7に係るマスクパターンの生成方法によれば、素子分離絶縁膜の完全分離部分を配線の下方に形成する半導体装置の製造方法において、配線レイアウトを参照することにより、完全分離部分を形成する際に使用されるフォトリソマスクのマスクパターンを容易に生成することができる。

【0076】

実施の形態8.

図32は、本発明の実施の形態8に係る半導体装置の構造を示す上面図であり、図33は、図32に示した半導体装置の、ラインL7に沿った位置における断面構造を示す断面図である。ICチップ90の中央部には、上記各実施の形態1～6に係る半導体装置が、LSI91として作り込まれている。また、ICチップ90の周縁部には、LSI91と外部素子とを電氣的に接続するための、アルミニウム等から成る複数のボンディングパッド92が並んで配置されている。ボンディングパッド92は、層間絶縁膜20上に形成されている。また、本実施の形態8に係る半導体装置は、ボンディングパッド92が形成されている領域の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された、完全分離部分95を有する素子分離絶縁膜5を備えている。図33に示した完全分離部分95は、図32に示した完全分離領域94内に形成されている。

【0077】

本実施の形態8に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトリソマスクのマスクパターンを変更することによって形成することがで

きる。例えば、ポジ型のフォトリジストを全面に塗布した後、完全分離部分 9 5 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトリジストを露光し、その後、露光された部分のフォトリジストを現像液によって溶解除去する。これにより、完全分離部分 9 5 の形成予定領域の上方に開口パターンを有するフォトリジスト 3 4 を形成する。

【 0 0 7 8 】

このように本実施の形態 8 に係る半導体装置によれば、ボンディングパッド 9 2 の下方には、完全分離部分 9 5 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッド 9 2 を介して IC チップ 9 0 に伝わってきた場合であっても、そのノイズに起因するボディ電位の変動を適切に防止することができる。その結果、アナログ回路や RF 回路における線形性を向上することが可能となる。

【 0 0 7 9 】

実施の形態 9.

図 3 4 は、本発明の実施の形態 9 に係る半導体装置の構造を示す上面図であり、図 3 5 は、図 3 4 に示した半導体装置の、ライン L 8 に沿った位置における断面構造を示す断面図である。但し、図 3 4 においては説明の都合上、層間絶縁膜 1 3、2 0 及びサイドウォール 8 の記載を省略している。図 3 4、3 5 に示すように本実施の形態 9 に係る半導体装置は、図 1、2 に示した上記実施の形態 1 に係る半導体装置を基礎として、完全分離部分 2 3 を形成する代わりに、 n^- 型の低濃度不純物領域 9 8 を形成したものである。低濃度不純物領域 9 8 は、電源配線 2 1 の下方において、パーシャルトレンチ型の素子分離絶縁膜 5 の底面と絶縁層 3 の上面との間のシリコン層 4 内に形成されている。図 3 5 に示した低濃度不純物領域 9 8 は、図 3 4 に示した高抵抗領域 9 7 内に形成されている。本実施の形態 9 に係る半導体装置のその他の構造は、上記実施の形態 1 に係る半導体装置の構造と同様である。

【 0 0 8 0 】

なお、以上の説明では、図 1、2 に示した上記実施の形態 1 に係る半導体装置を基礎として本実施の形態 9 に係る発明を適用する場合について説明したが、こ

れに限らず、上記実施の形態 2, 3 に係る発明を基礎として本実施の形態 9 に係る発明を適用することも可能である。この場合、接地配線 2 2 の下方において、完全分離部分 5 1 を形成する代わりに、パーシャルトレンチ型の素子分離絶縁膜 5 の底面と絶縁層 3 の上面との間のシリコン層 4 内に、 p^- 型の低濃度不純物領域を形成すればよい。

【0081】

このように本実施の形態 9 に係る半導体装置によれば、電源配線 2 1 の下方に n^- 型の低濃度不純物領域 9 8 を形成した。低濃度不純物領域 9 8 は抵抗値が高く、絶縁体に近い性質を有する。そのため、何らかの外部ノイズの影響によって電源配線 2 1 の電位が変動した場合であっても、低濃度不純物領域 9 8 と電源配線 2 1 との間で容量カップリングは生じにくい。従って、電源配線 2 1 の電位の変動に起因するボディ領域 1 1 の電位の変動を抑制でき、その結果、アナログ回路や RF 回路における線形性を向上することが可能となる。

【0082】

【発明の効果】

この発明のうち請求項 1 に係るものによれば、電源／接地配線の少なくとも一方の下方には第 1 の完全分離型素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源／接地配線の少なくとも一方の電位が変動したとしても、その電位の変動に起因して半導体層の電位が変動することを防止することができる。

【0083】

また、この発明のうち請求項 2 に係るものによれば、動作しきい値電圧が互いに異なる第 1 の半導体素子と第 2 の半導体素子との間には、第 2 の完全分離型素子分離絶縁膜が形成されている。従って、第 1 及び第 2 の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制することができるため、その熱によって第 1 及び第 2 の半導体素子の動作が不安定になることを防止することができる。

【0084】

また、この発明のうち請求項 3 に係るものによれば、動作周波数が互いに異な

る第1の半導体素子と第2の半導体素子との間には、第2の完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することができる。

【0085】

また、この発明のうち請求項4に係るものによれば、信号配線の下方には第3の完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【0086】

また、この発明のうち請求項5に係るものによれば、ボンディングパッドの下方には第4の完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

【0087】

また、この発明のうち請求項6に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制することができるため、その熱によって第1及び第2の半導体素子の動作が不安定になることを防止することができる。

【0088】

また、この発明のうち請求項7に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することがで

きる。

【 0 0 8 9 】

また、この発明のうち請求項 8 に係るものによれば、信号配線の下方には完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【 0 0 9 0 】

また、この発明のうち請求項 9 に係るものによれば、ボンディングパッドの下方には完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

【 0 0 9 1 】

また、この発明のうち請求項 1 0 に係るものによれば、何らかの外部ノイズの影響によって電源／接地配線の少なくとも一方の電位が変動した場合であっても、低濃度不純物領域と電源／接地配線の少なくとも一方の間では容量カップリングが生じにくいため、電源／接地配線の少なくとも一方の電位の変動に起因する半導体層の電位の変動を抑制することができる。

【 0 0 9 2 】

また、この発明のうち請求項 1 1 に係るものによれば、電源／接地配線の少なくとも一方の下方には、部分分離型素子分離絶縁膜ではなく、第 1 の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する電源／接地配線の少なくとも一方の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

【 0 0 9 3 】

また、この発明のうち請求項 1 2 に係るものによれば、動作しきい値電圧が互いに異なる第 1 の半導体素子と第 2 の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第 2 の完全分離型素子分離絶縁膜が形成される。従って、第 1 及び第 2 の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制できるため、発熱に対して安定した動作を行い得る半

導体装置を得ることができる。

【 0 0 9 4 】

また、この発明のうち請求項 1 3 に係るものによれば、動作周波数が互いに異なる第 1 の半導体素子と第 2 の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第 2 の完全分離型素子分離絶縁膜が形成される。従って、第 1 の半導体素子が形成されている部分の半導体層と、第 2 の半導体素子が形成されている部分の半導体層とに関して、動作周波数が互いに異なることに起因する電位の相互影響を防止し得る半導体装置を得ることができる。

【 0 0 9 5 】

また、この発明のうち請求項 1 4 に係るものによれば、信号配線の下方には、部分分離型素子分離絶縁膜ではなく、第 3 の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する信号配線の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

【 0 0 9 6 】

また、この発明のうち請求項 1 5 に係るものによれば、ボンディングパッドの下方には、部分分離型素子分離絶縁膜ではなく、第 4 の完全分離型素子分離絶縁膜が形成される。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動しない半導体装置を得ることができる。

【 0 0 9 7 】

また、この発明のうち請求項 1 6 に係るものによれば、第 1 の完全分離型素子分離絶縁膜を、部分分離型素子分離絶縁膜内に選択的に形成された完全分離部分として、部分分離型素子分離絶縁膜と併せて形成することができる。

【 0 0 9 8 】

また、この発明のうち請求項 1 7 に係るものによれば、電源／接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトを参照することにより、フォトレジストを露光する際に使用されるフォトマスクのマスクパターンを容易に生成することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の構造を示す上面図である。

【図 2】 図 1 に示した半導体装置の断面構造を示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 0】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 7】 本発明の実施の形態 2 に係る半導体装置の構造を示す上面図である。

【図 1 8】 図 1 7 に示した半導体装置の断面構造を示す断面図である。

【図 1 9】 本発明の実施の形態 3 に係る半導体装置の構造を示す上面図である。

【図 2 0】 図 1 9 に示した半導体装置の断面構造を示す断面図である。

【図 2 1】 本発明の実施の形態 4 に係る半導体装置の構造を示す上面図である。

【図 2 2】 図 2 1 に示した半導体装置の断面構造を示す断面図である。

【図 2 3】 本発明の実施の形態 5 に係る半導体装置の構造を示す上面図である。

【図 2 4】 図 2 3 に示した半導体装置の断面構造を示す断面図である。

【図 2 5】 本発明の実施の形態 6 に係る半導体装置の構造を示す上面図である。

【図 2 6】 図 2 5 に示した半導体装置の断面構造を示す断面図である。

【図 2 7】 本発明の実施の形態 7 に係るマスクパターンの生成方法を説明するための概念図である。

【図 2 8】 本発明の実施の形態 7 に係るマスクパターンの生成方法を説明するための概念図である。

【図 2 9】 本発明の実施の形態 7 に係るマスクパターンの生成方法を説明するための概念図である。

【図 3 0】 本発明の実施の形態 7 に係る他のマスクパターンの生成方法を説明するための概念図である。

【図 3 1】 本発明の実施の形態 7 に係る他のマスクパターンの生成方法を説明するための概念図である。

【図 3 2】 本発明の実施の形態 8 に係る半導体装置の構造を示す上面図である。

【図 3 3】 図 3 2 に示した半導体装置の断面構造を示す断面図である。

【図 3 4】 本発明の実施の形態 9 に係る半導体装置の構造を示す上面図である。

【図 3 5】 図 3 4 に示した半導体装置の断面構造を示す断面図である。

【図 3 6】 第 1 の従来の半導体装置の構造を示す断面図である。

【図 3 7】 第 2 の従来の半導体装置の構造を示す上面図である。

【図 3 8】 第 1 の従来の半導体装置の問題を説明するためのタイミングチャートである。

【図 3 9】 第 1 の従来の半導体装置の問題を説明するためのタイミングチャートである。

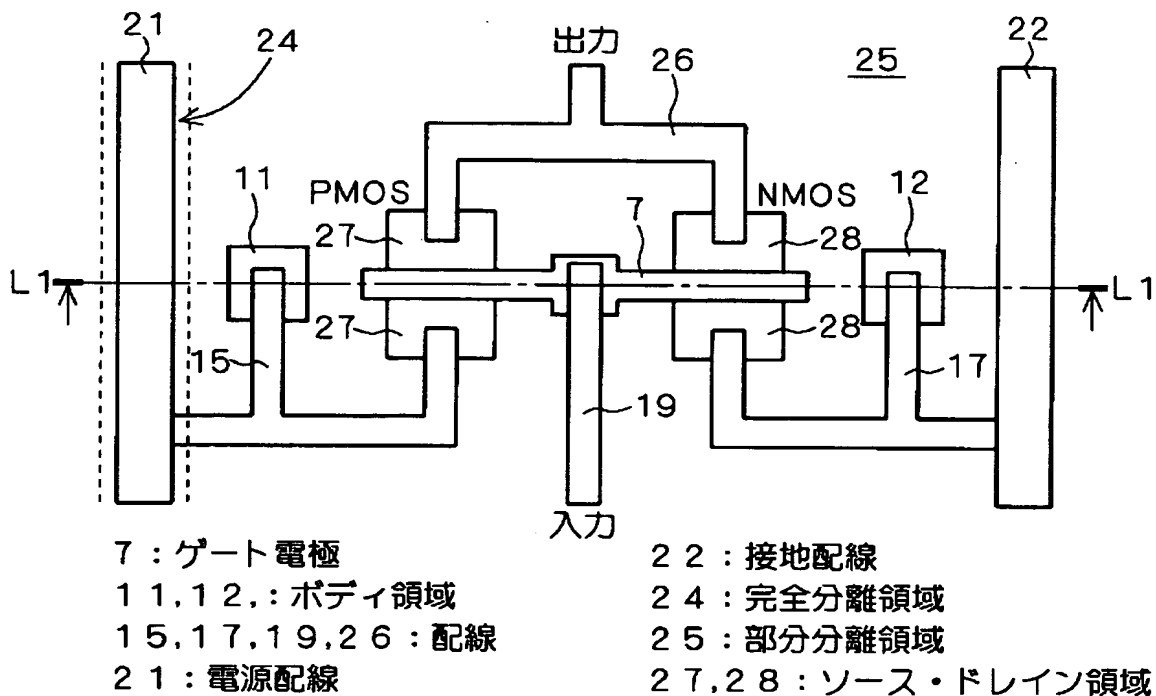
【図 4 0】 第 2 の従来の半導体装置の問題を説明するための断面図である。

【符号の説明】

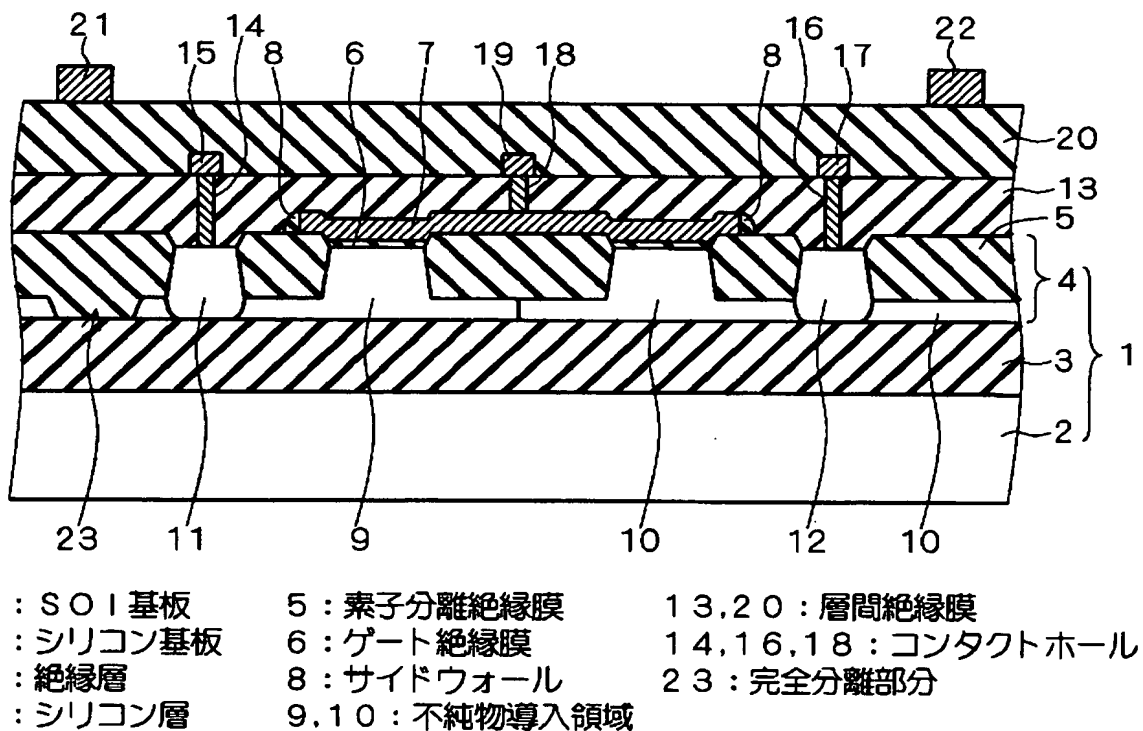
1 SOI 基板、2 シリコン基板、3 絶縁層、4 シリコン層、5 素子分離絶縁膜、6 ゲート絶縁膜、7 ゲート電極、13, 20 層間絶縁膜、15, 17, 19, 26 配線、23, 51, 58, 63, 66, 95 完全分離部分、24, 50, 57, 62, 65, 79, 94 完全分離領域、25 部分分離領域、33, 35 凹部、36 シリコン酸化膜、55, 56, 60, 61 CMOS、70 配線レイアウト、71 配線形成領域、73 フォトマスク、74 開口部、76 CMOS レイアウト、77 禁止領域、90 IC チップ、92 ボンディングパッド、97 高抵抗領域、98 低濃度不純物領域。

【書類名】 図面

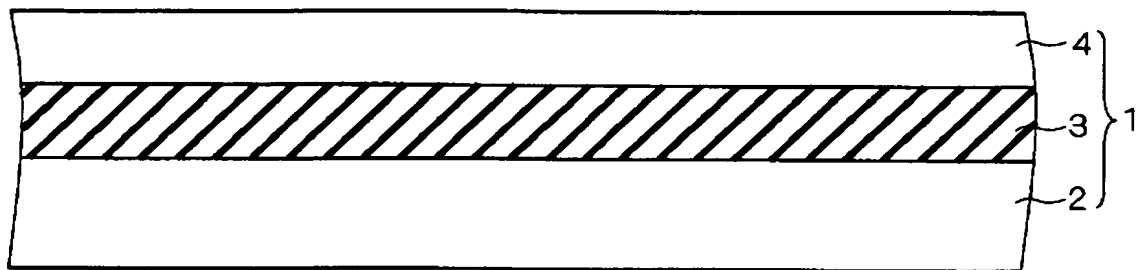
【図 1】



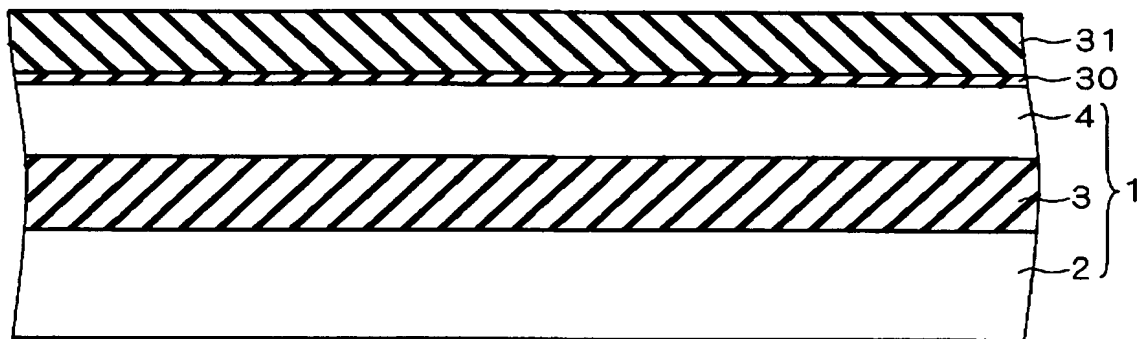
【図 2】



【図 3】



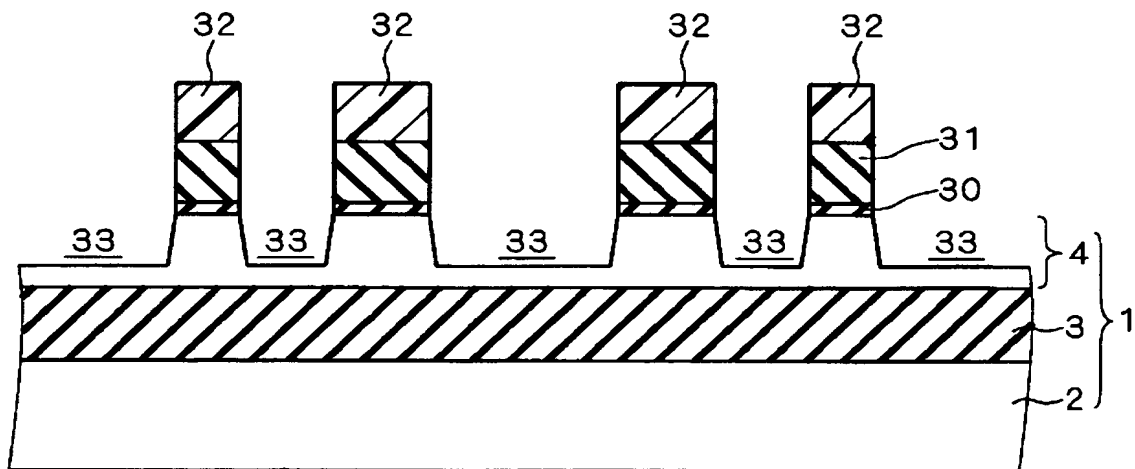
【図 4】



3 0 : シリコン酸化膜

3 1 : シリコン窒化膜

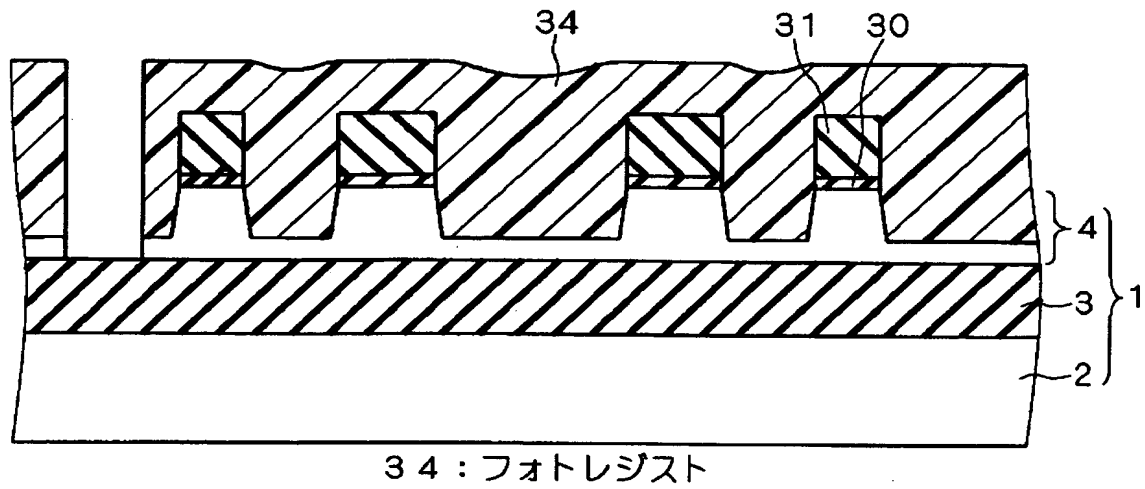
【図 5】



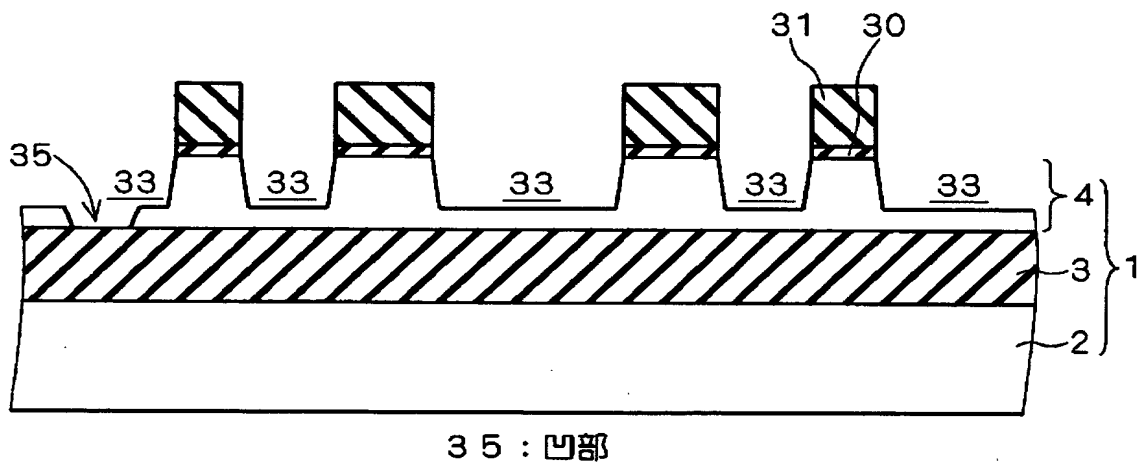
3 2 : フォトリジスト

3 3 : 凹部

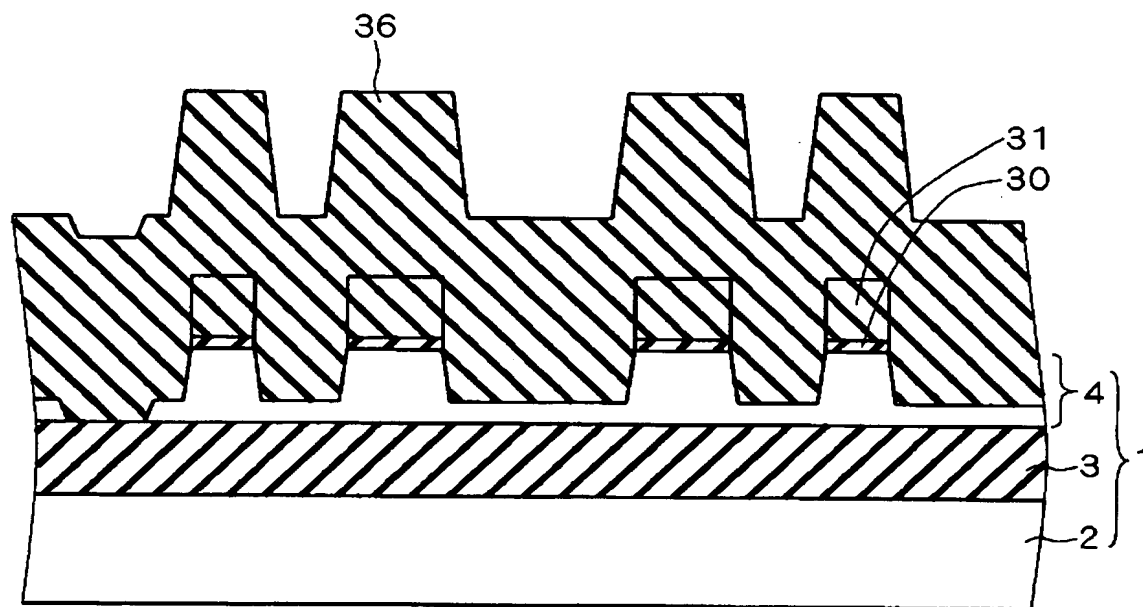
【図 6】



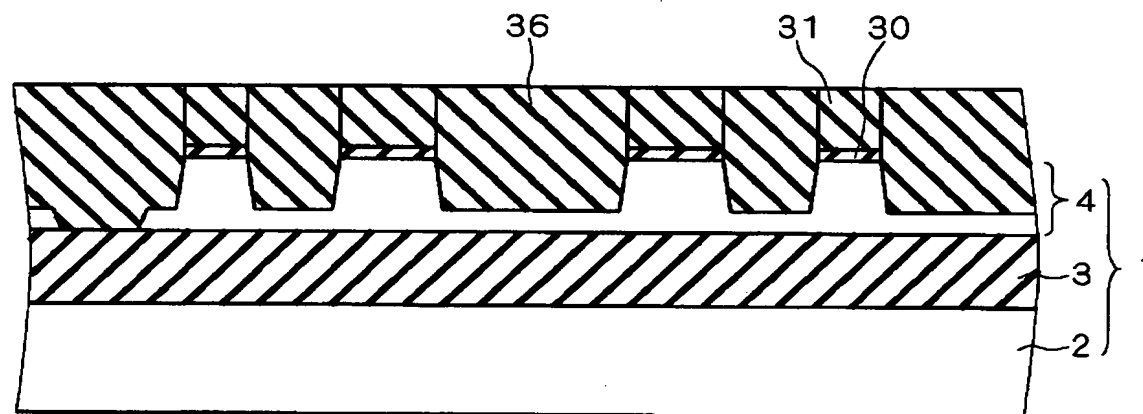
【図 7】



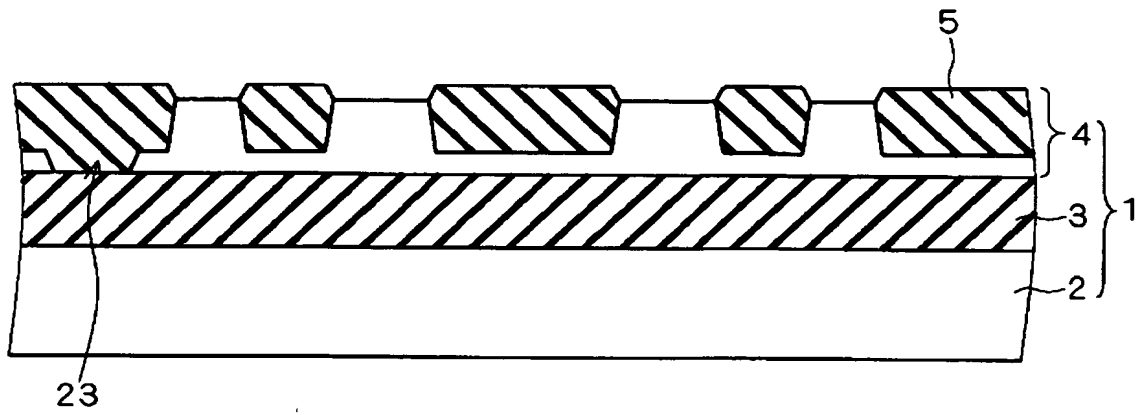
【図 8】



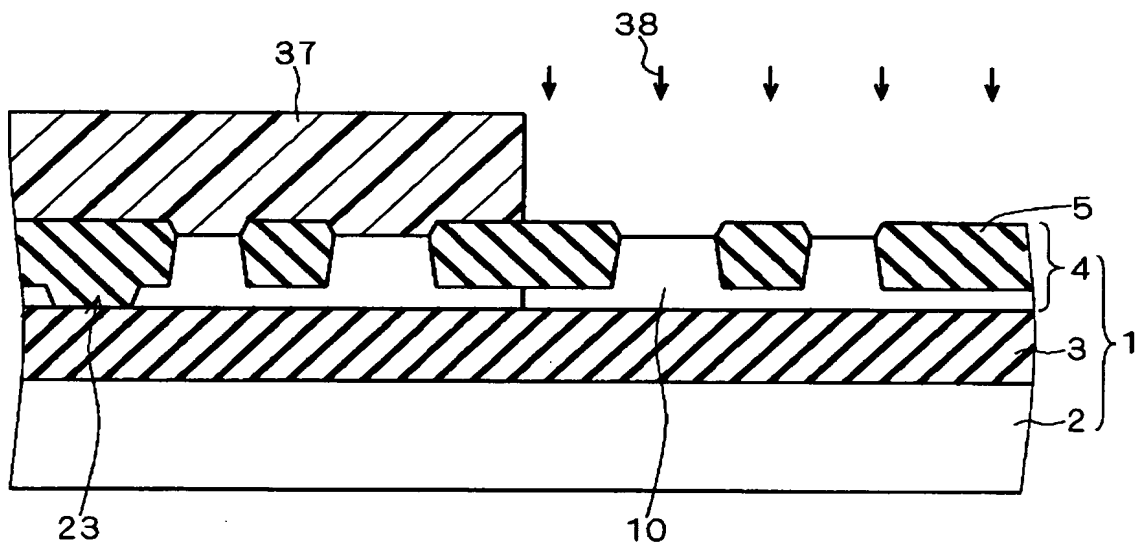
【図 9】



【図 1 0】



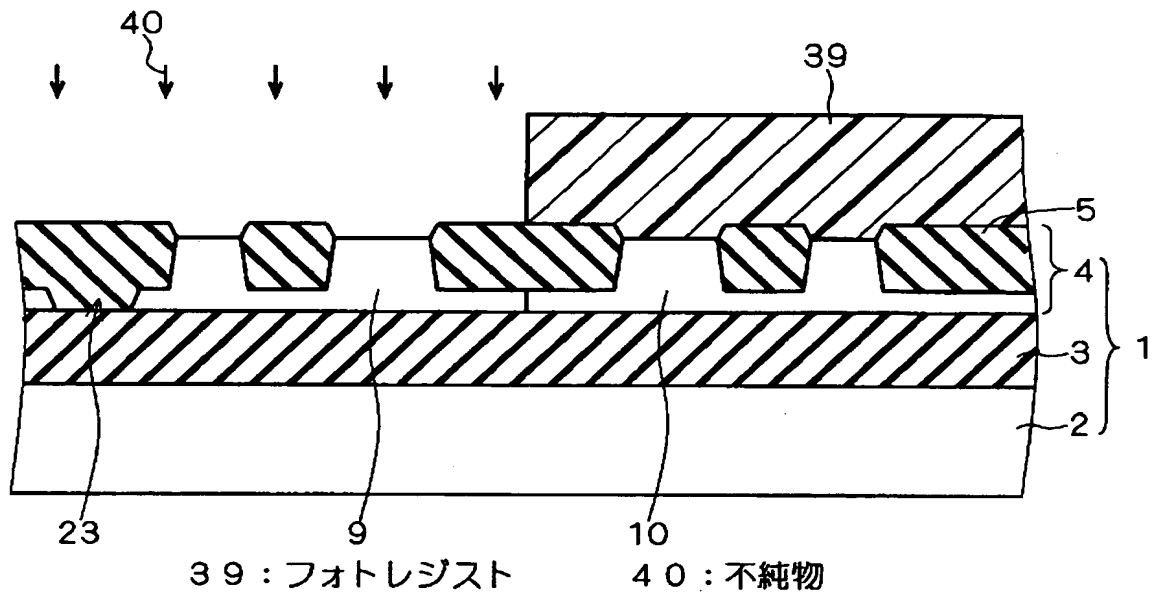
【図 1 1】



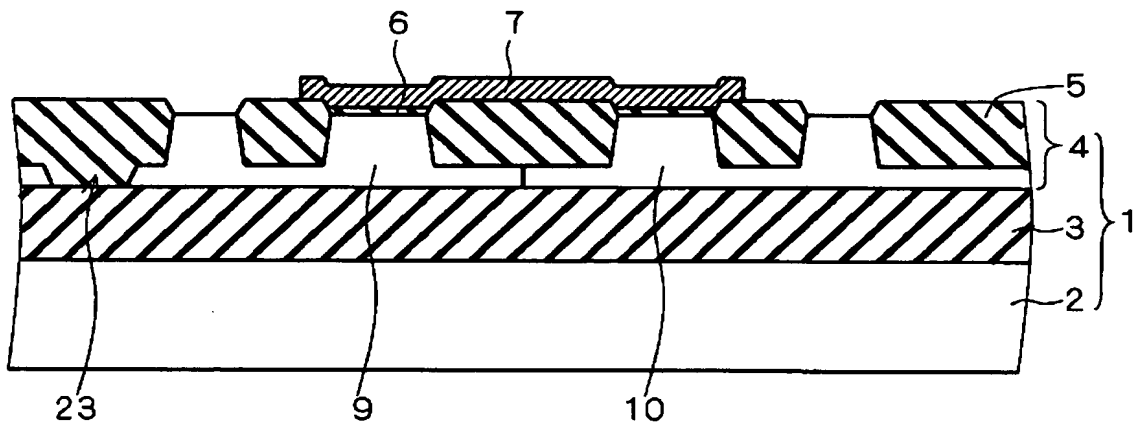
3 7 : フォトリジスト

3 8 : 不純物

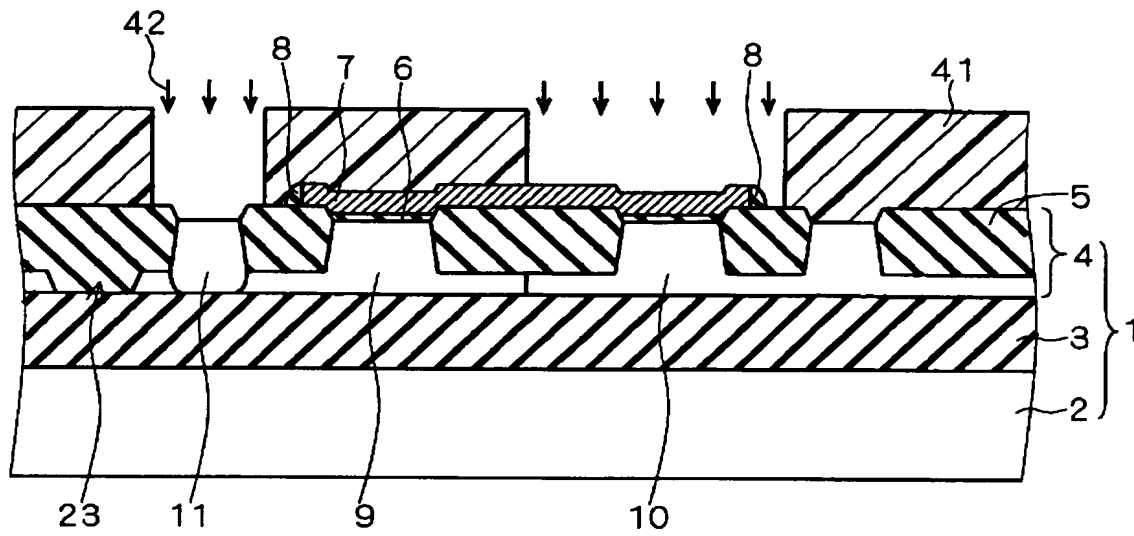
【図 1 2】



【図 1 3】



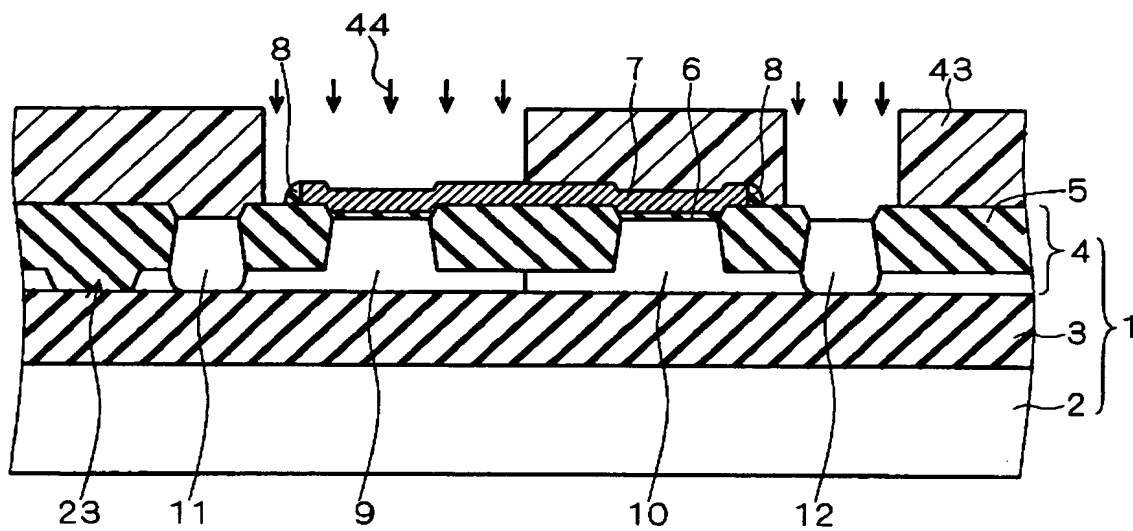
【図 1 4】



4 1 : フォトリソグ

4 2 : 不純物

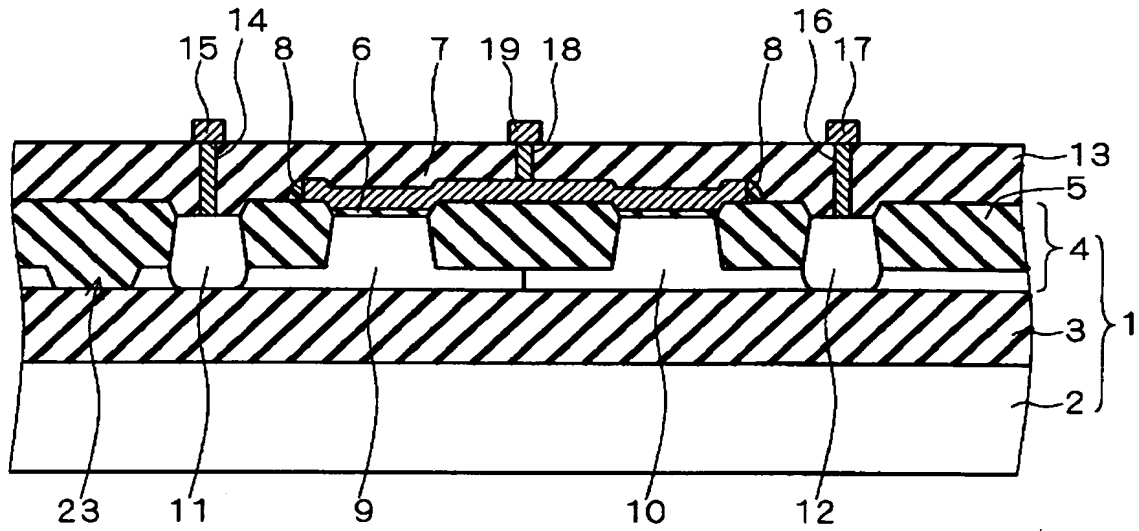
【図 1 5】



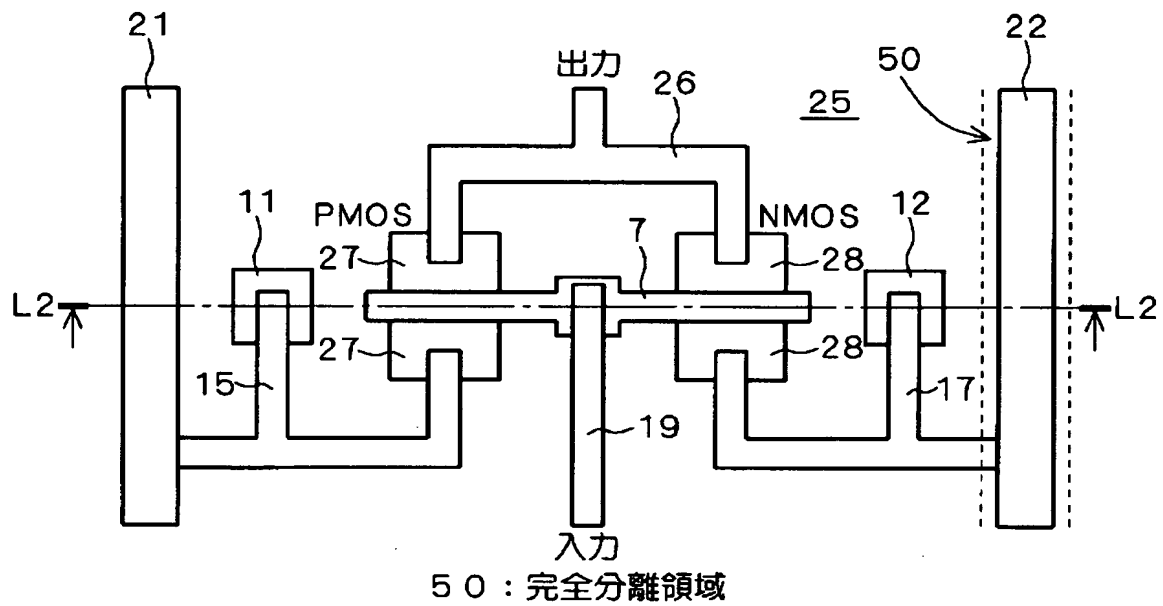
4 3 : フォトリソグ

4 4 : 不純物

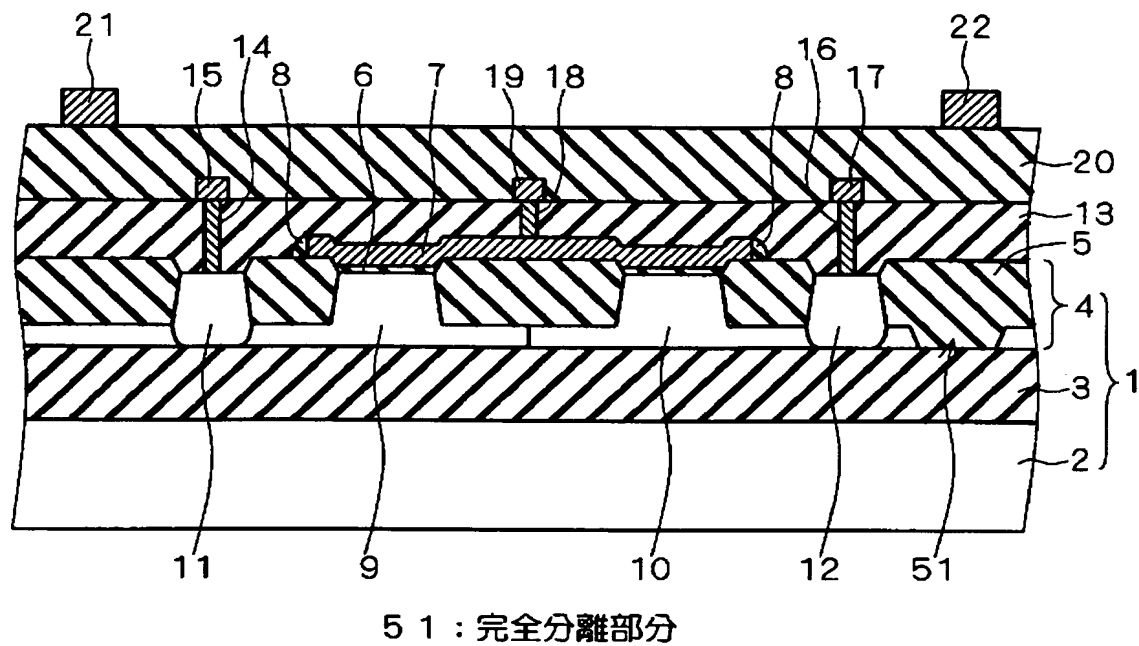
【図 1 6】



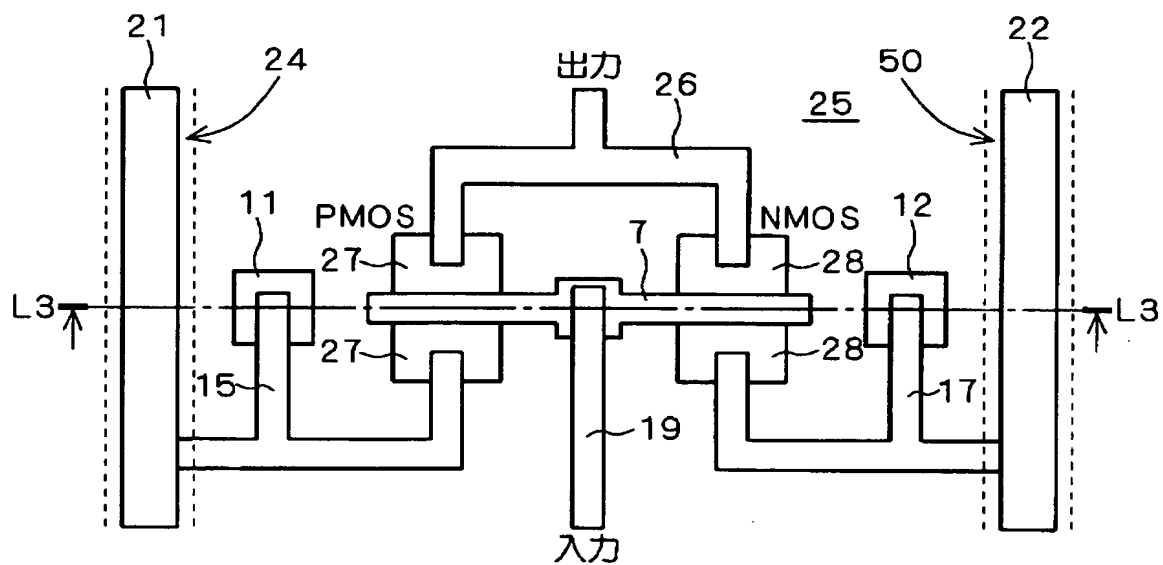
【図 1 7】



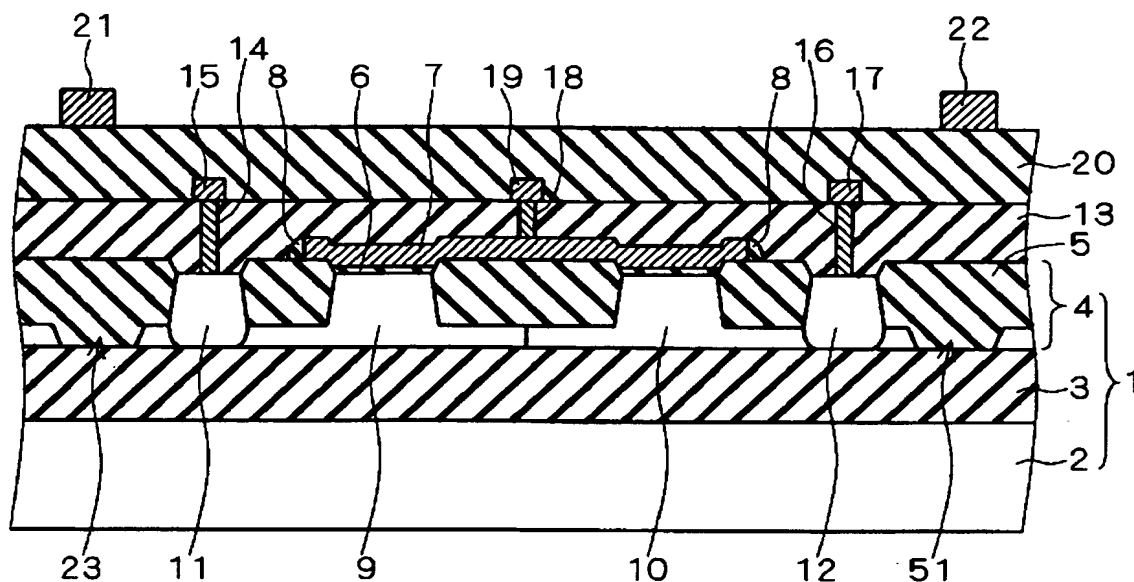
【図 18】



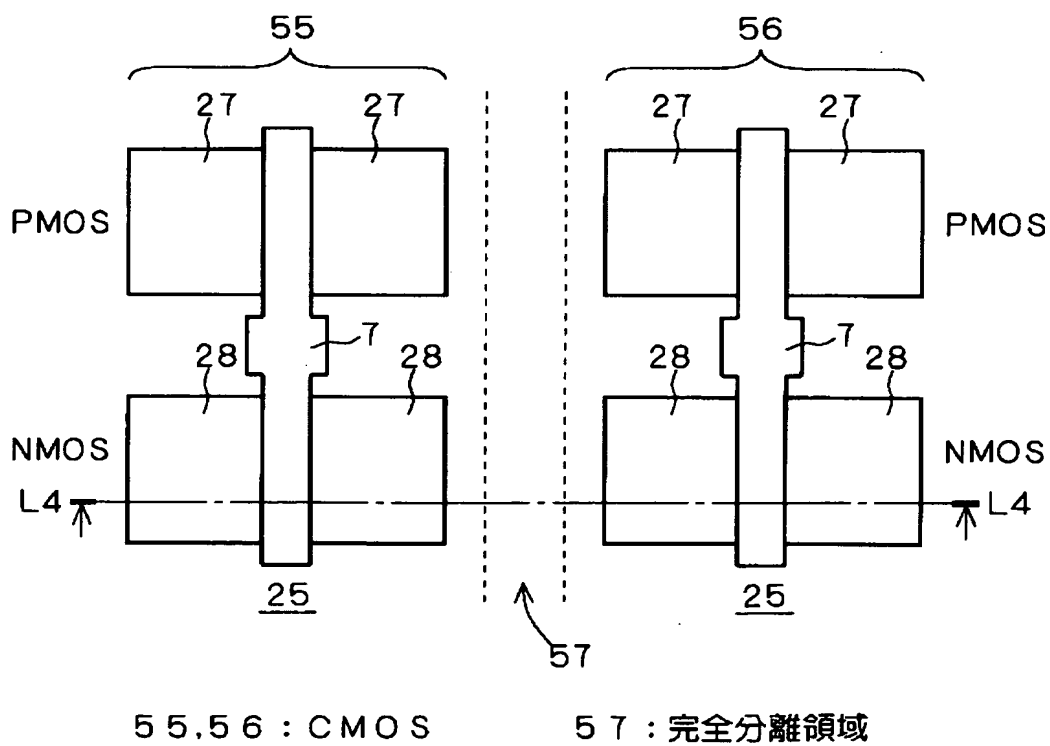
【図 19】



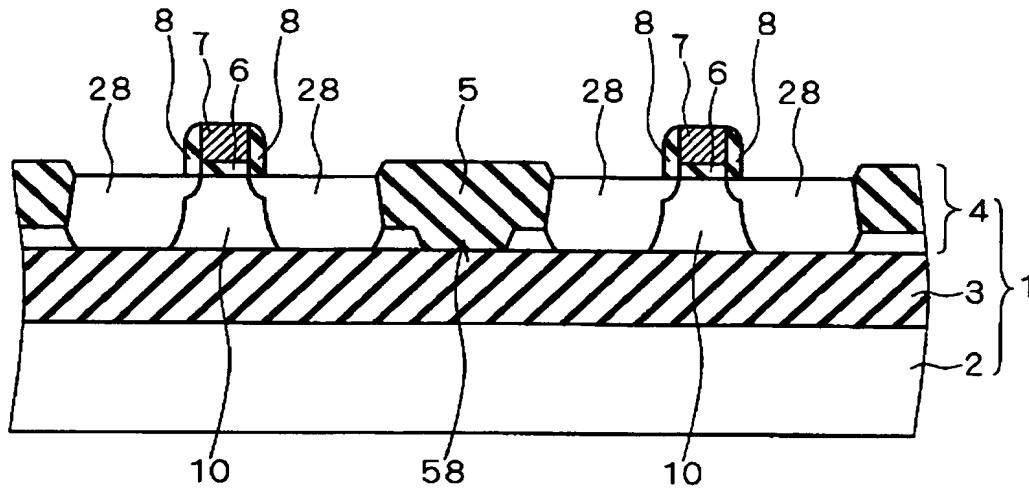
【図 20】



【図 21】

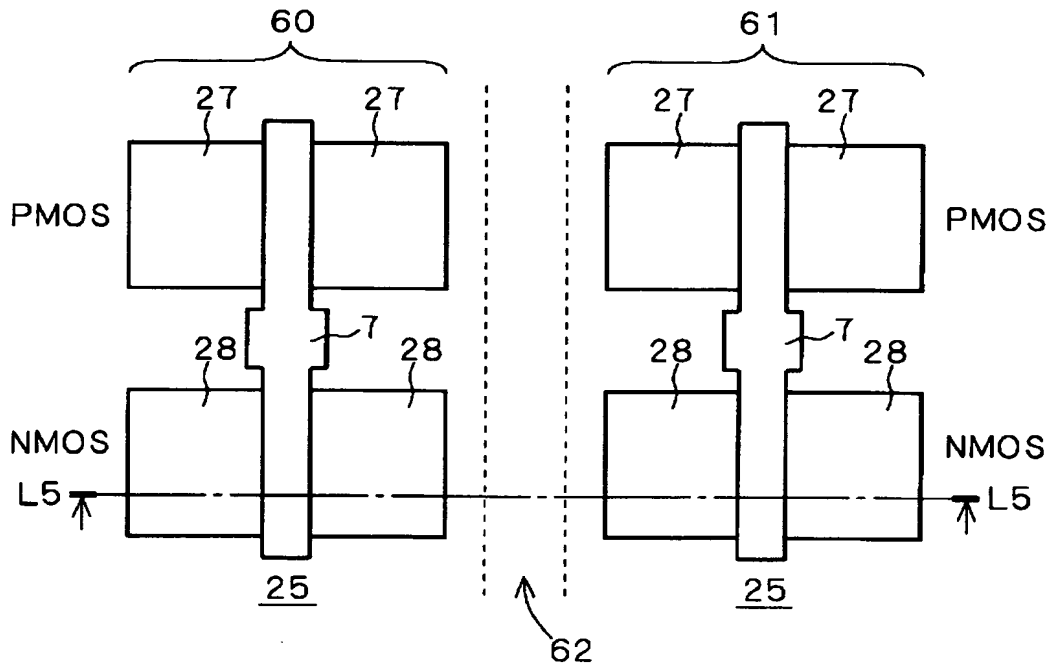


【図 2 2】



5 8 : 完全分離部分

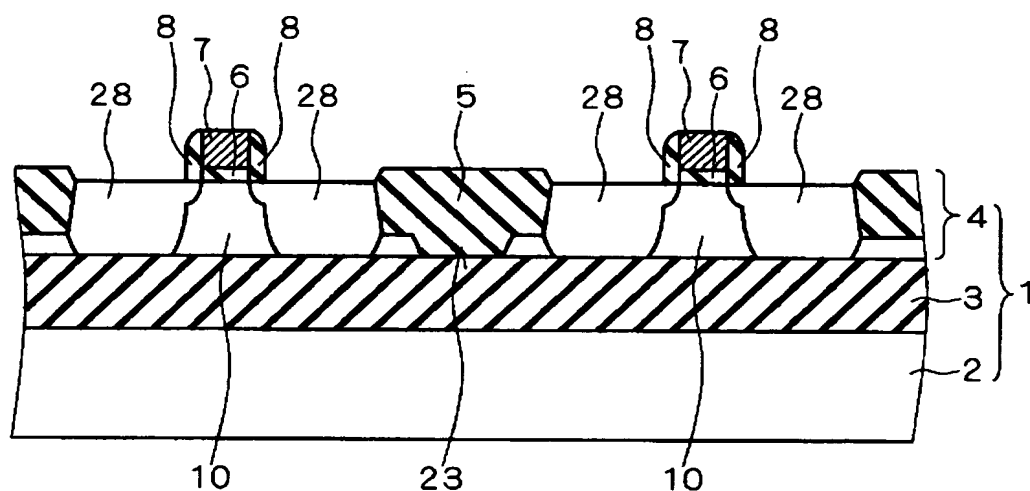
【図 2 3】



6 0, 6 1 : CMOS

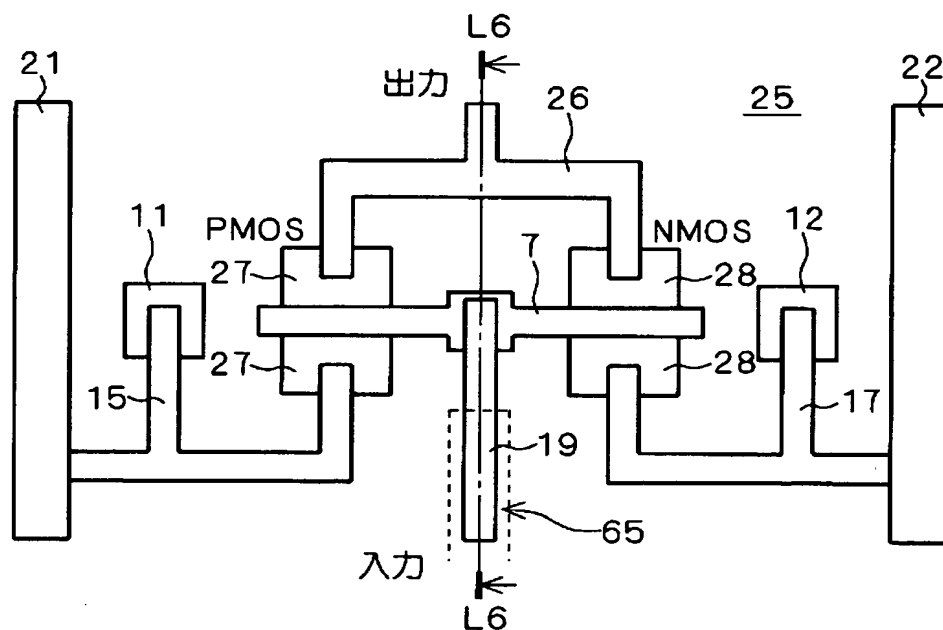
6 2 : 完全分離領域

【図 2 4】



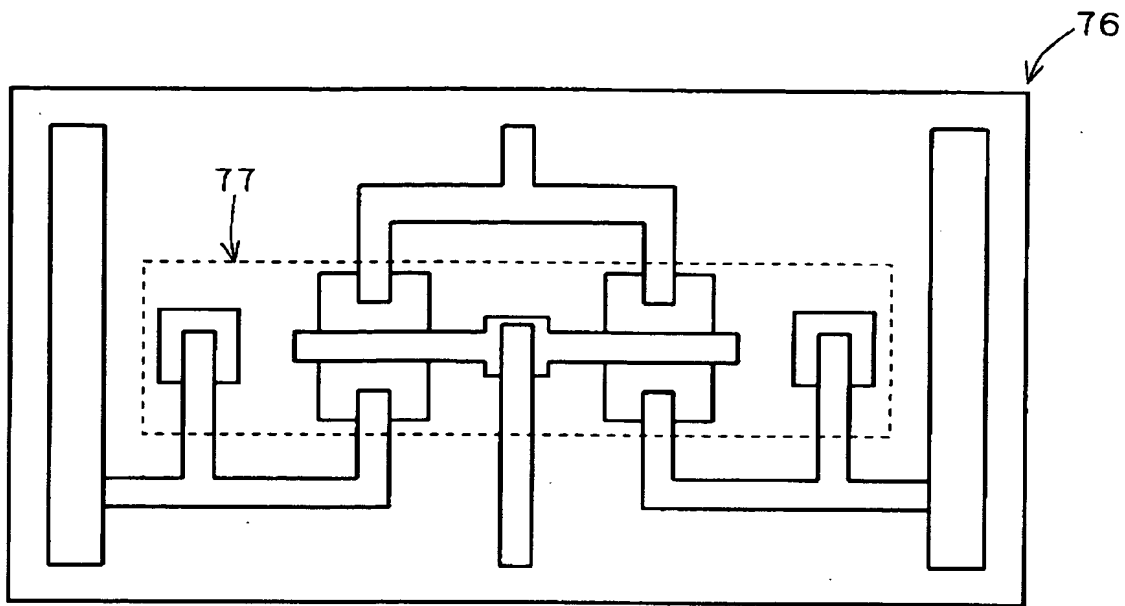
6 3 : 完全分離部分

【図 2 5】



6 5 : 完全分離領域

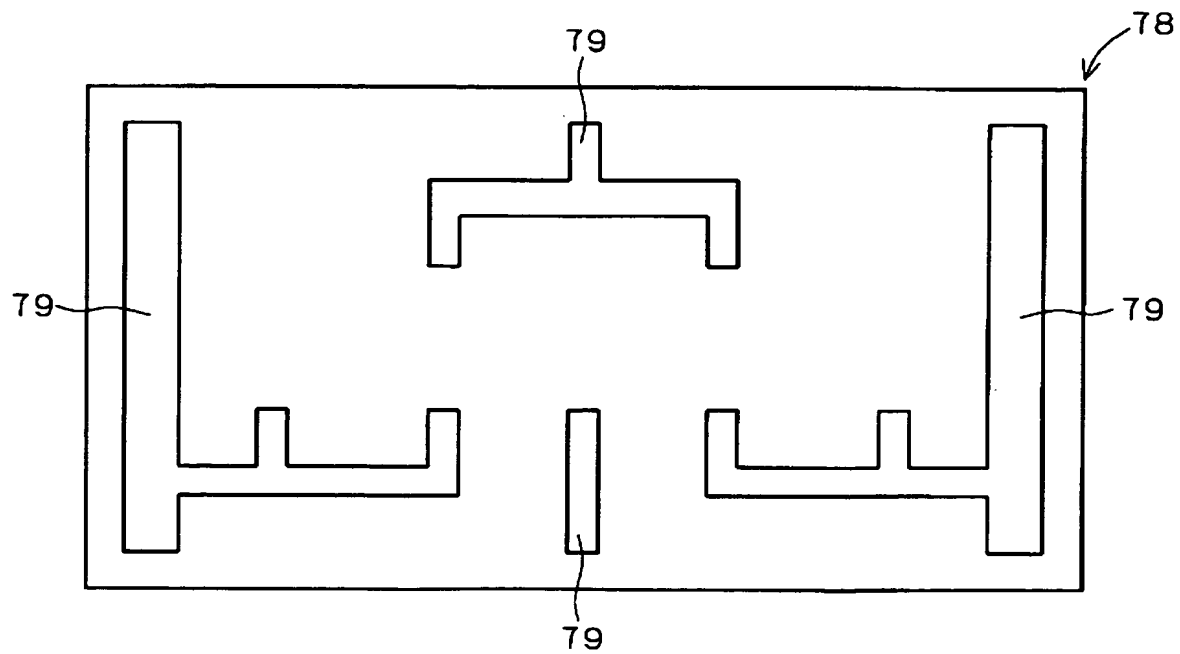
【図 28】



76 : CMOSレイアウト

77 : 禁止領域

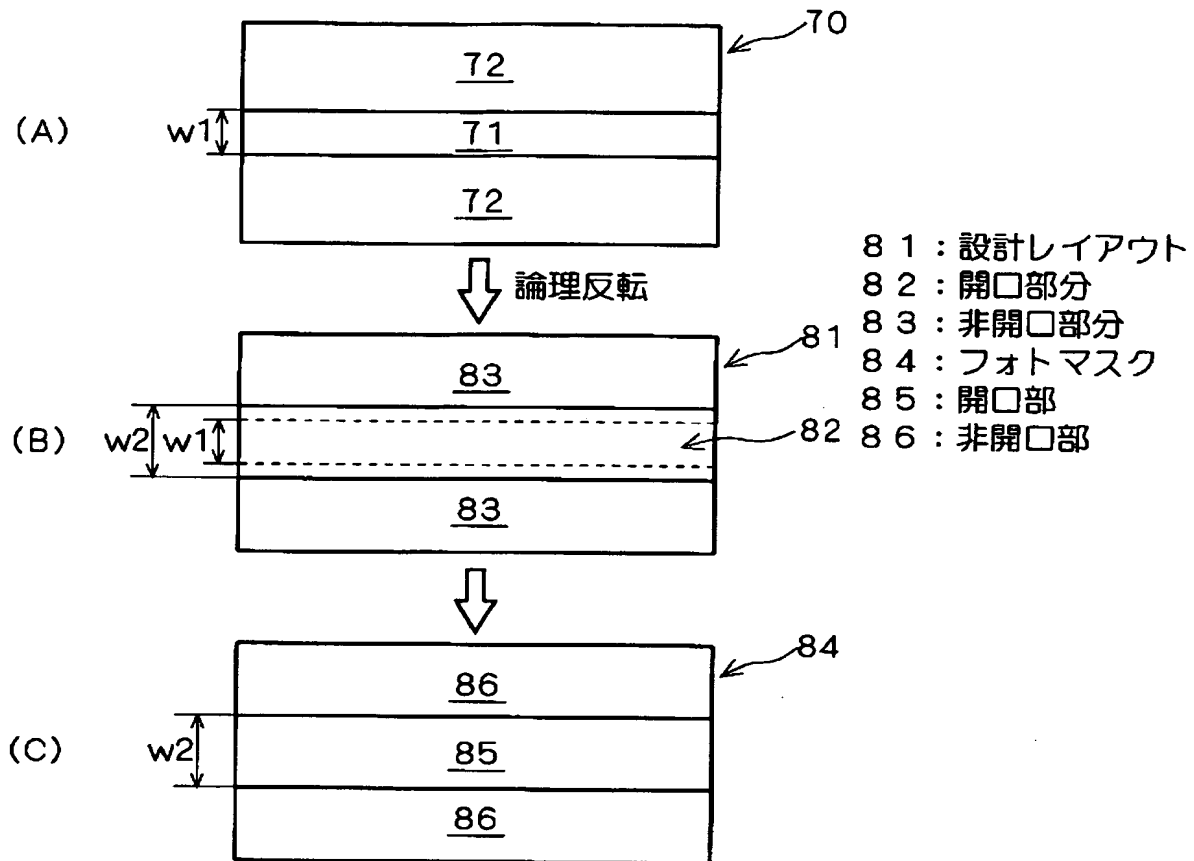
【図 29】



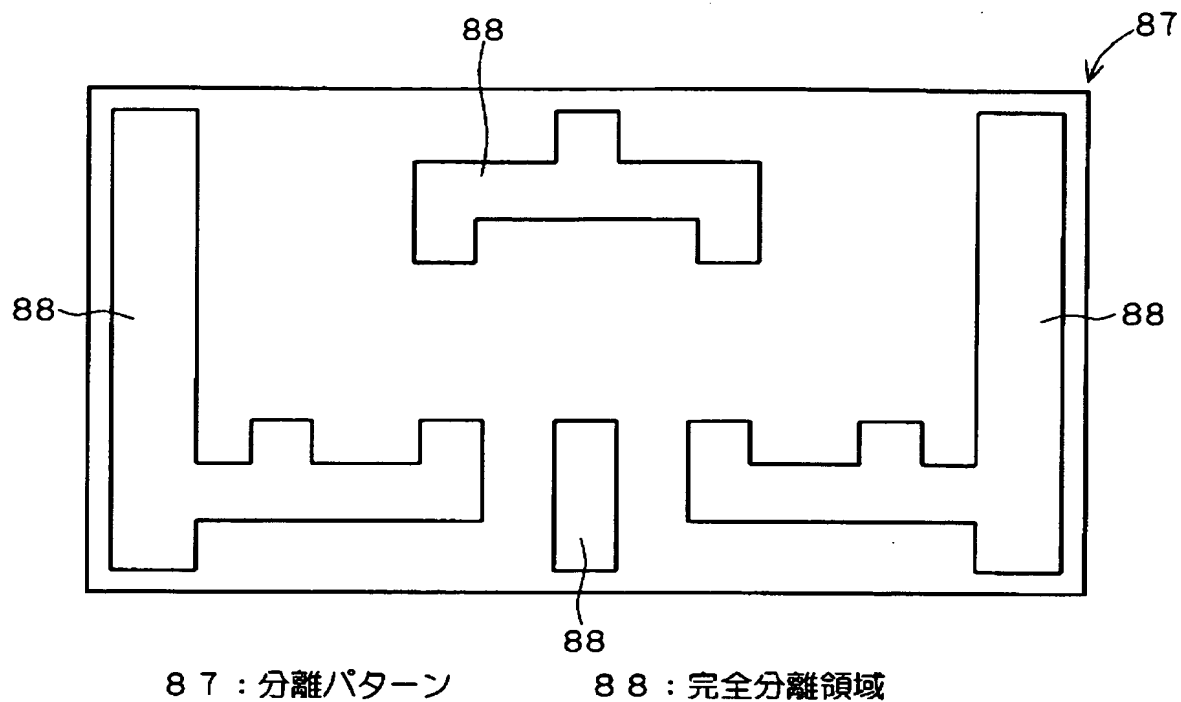
78 : 分離パターン

79 : 完全分離領域

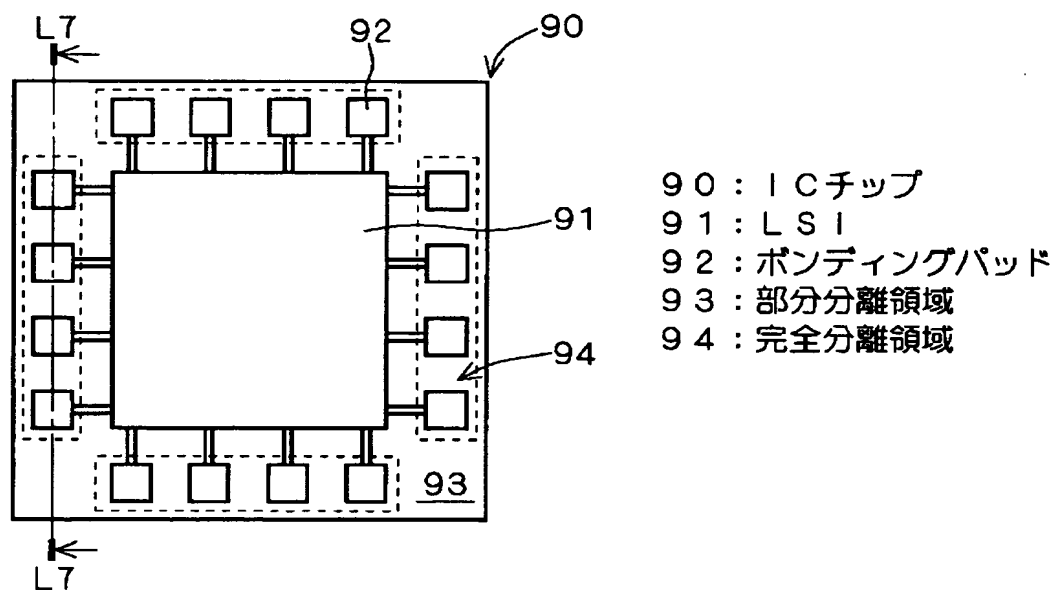
【図 3 0】



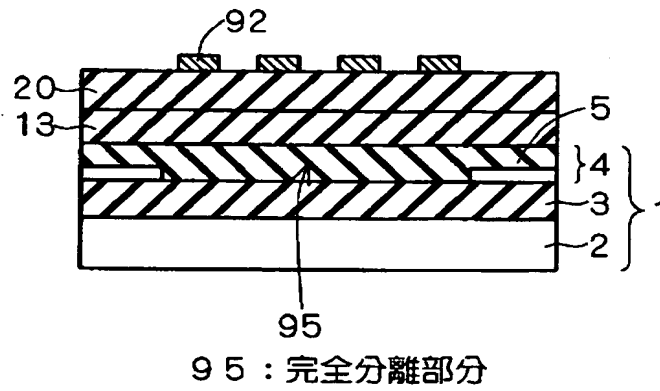
【図 3 1】



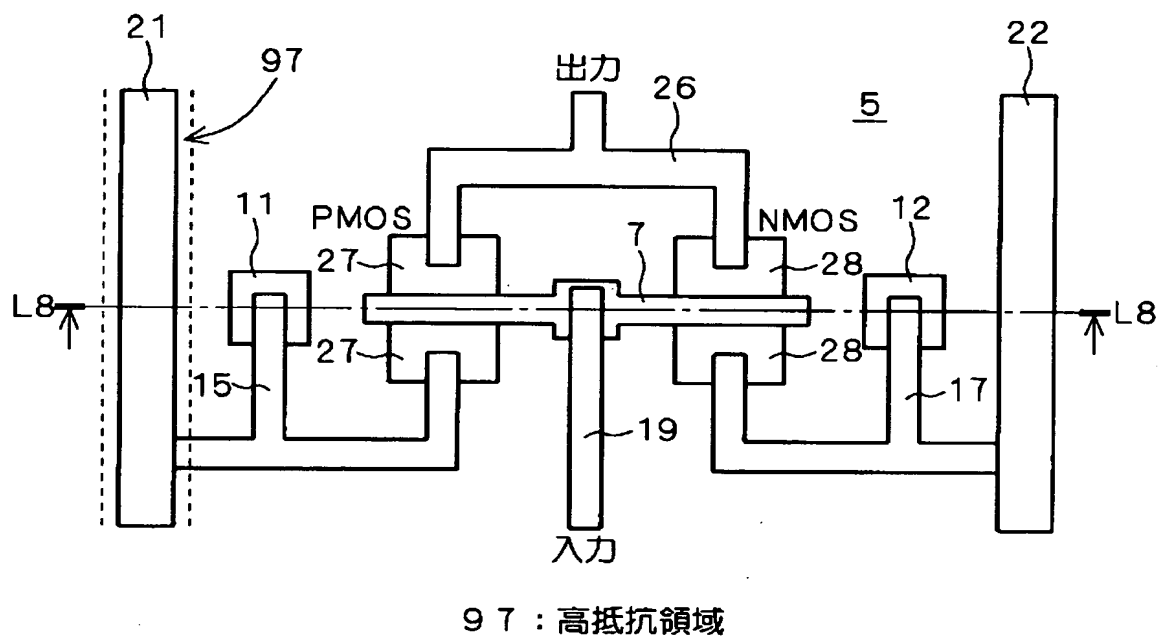
【図 3 2】



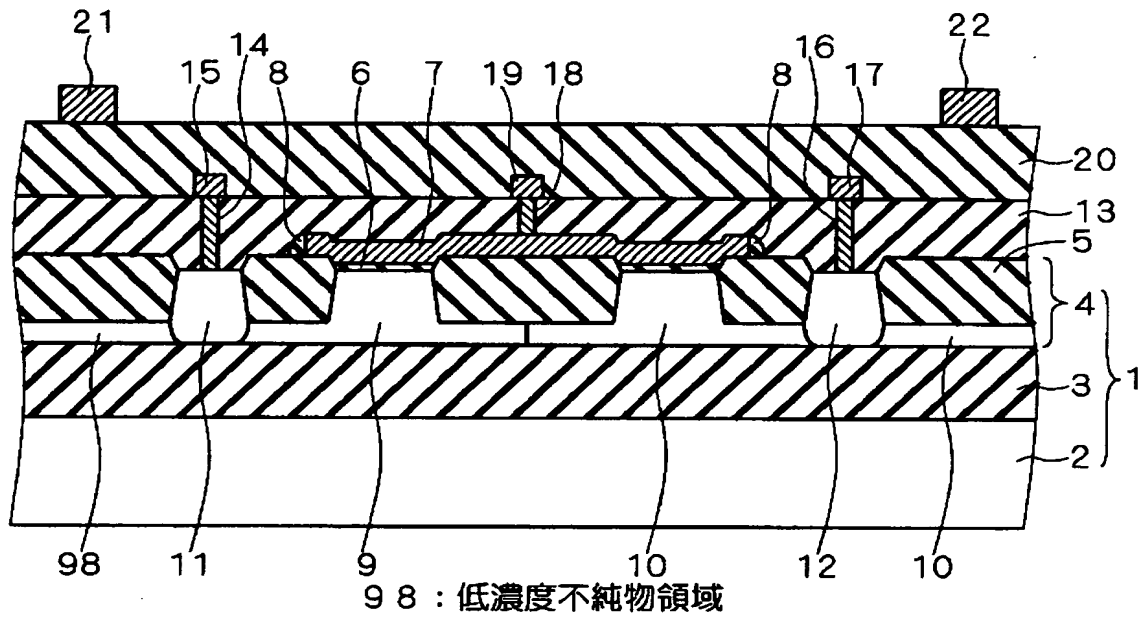
【図 3 3】



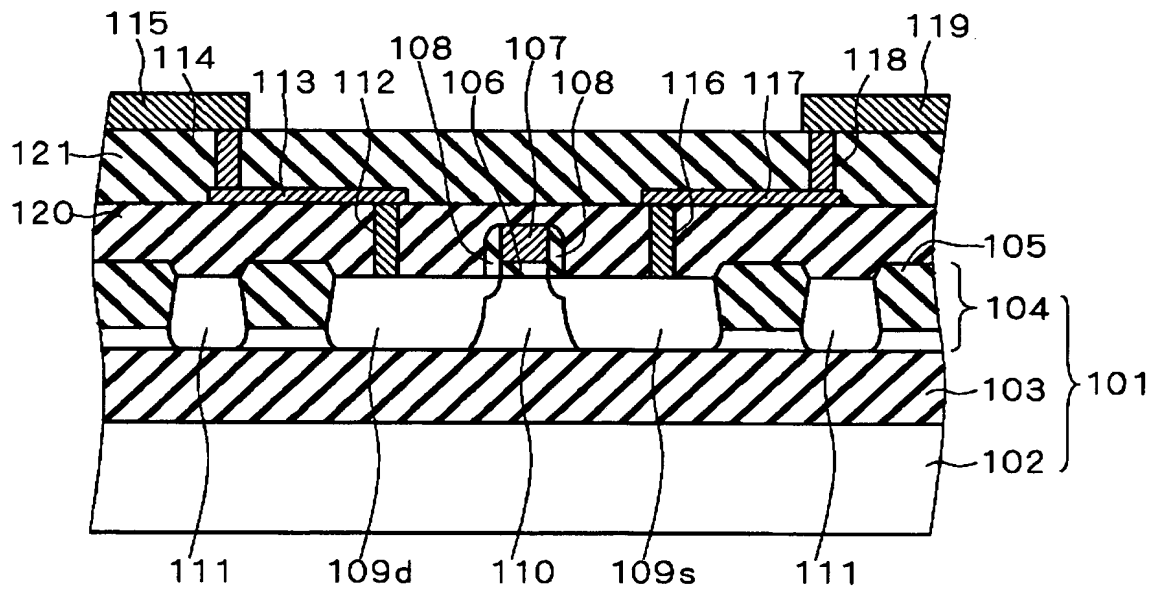
【図 3 4】



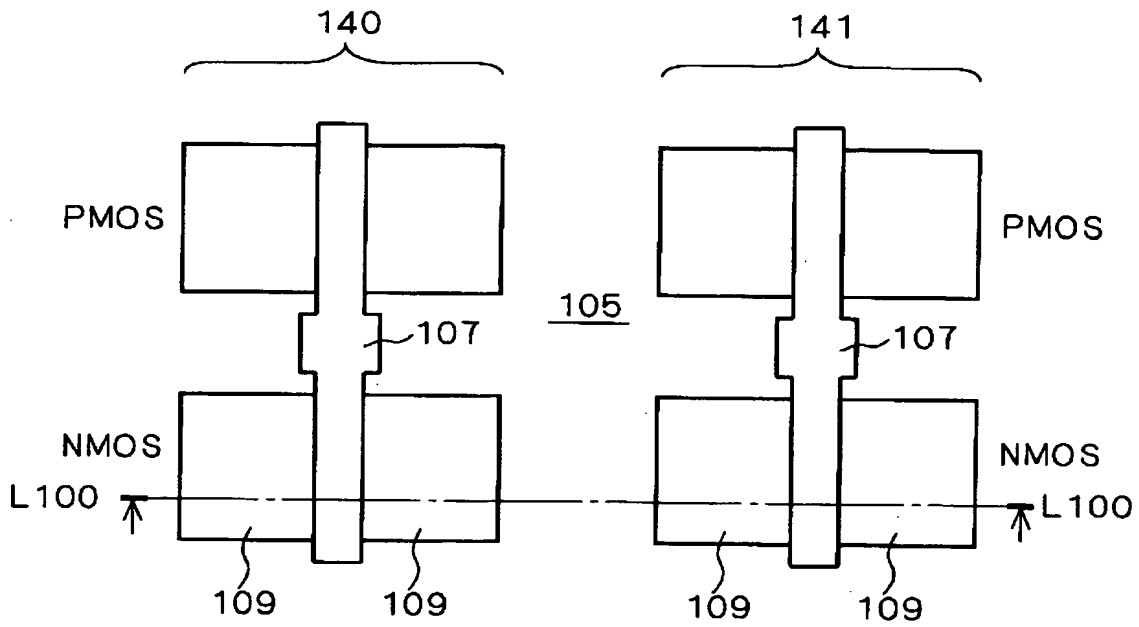
【図 3 5】



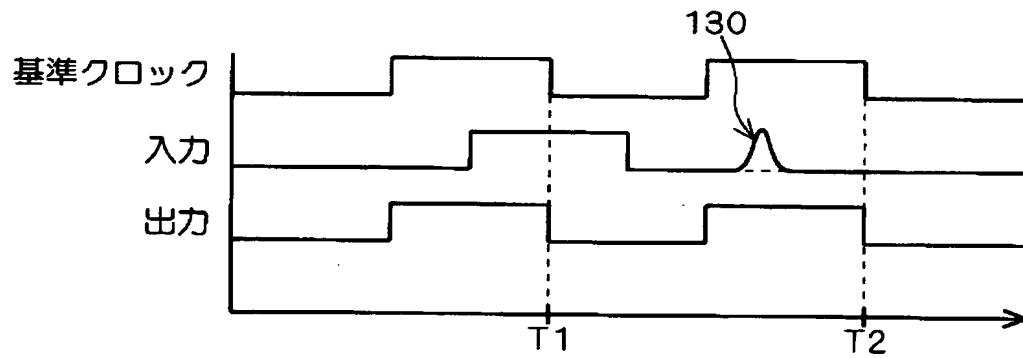
【図 3 6】



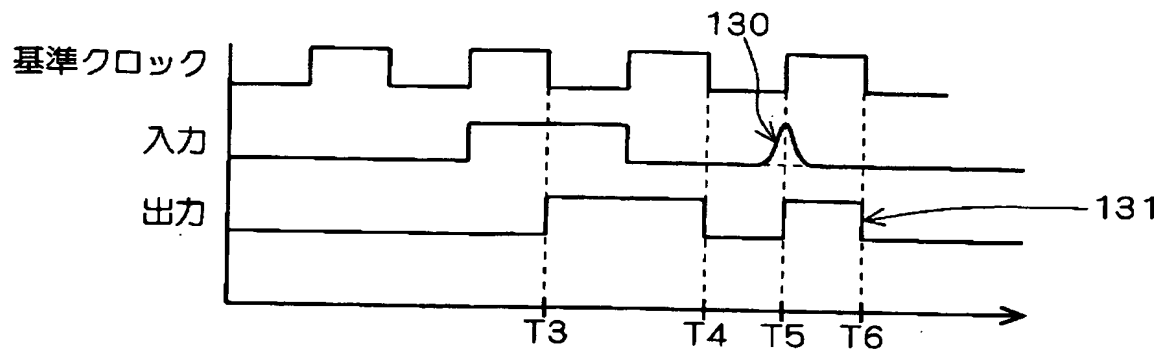
【図 3 7】



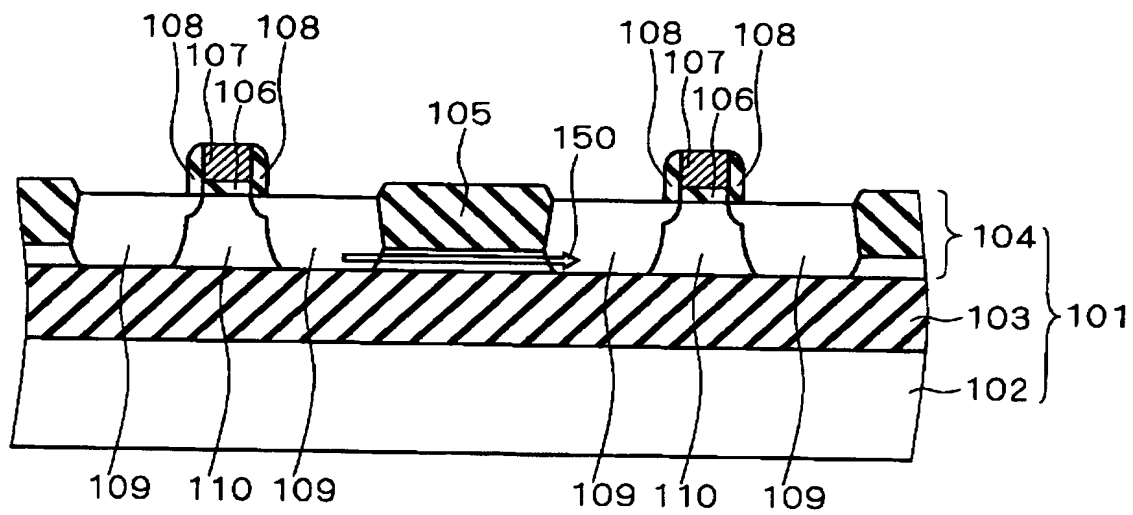
【図 3 8】



【図 39】



【図 40】



【書類名】 要約書

【要約】

【課題】 電源配線の電位の変動に起因するボディ領域の電位の変動を抑制し得る半導体装置を得る。

【解決手段】 シリコン層 4 の上面内には、パーシャルトレンチ型の素子分離絶縁膜 5 が選択的に形成されている。電源配線 2 1 は、素子分離絶縁膜 5 の上方に形成されている。電源配線 2 1 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 2 3 が形成されている。換言すれば、半導体装置は、電源配線 2 1 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社